



UNIVERSIDADE FEDERAL DA BAHIA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIAS ELÉTRICA E DE
COMPUTAÇÃO

IGO AMAURÍ DOS SANTOS LUZ

Tese de Doutorado

**SOLUÇÕES INOVADORAS EM HARDWARE
RECONFIGURÁVEL PARA PROCESSAMENTO ONLINE
EM UM DETECTOR COM ALTA TAXA DE EVENTOS**

Salvador

Dezembro, 2025

IGO AMAURÍ DOS SANTOS LUZ

**SOLUÇÕES INOVADORAS EM HARDWARE RECONFIGURÁVEL
PARA PROCESSAMENTO ONLINE EM UM DETECTOR COM
ALTA TAXA DE EVENTOS**

Tese de Doutorado

TESE SUBMETIDA AO PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIAS ELÉTRICA E DE COMPUTAÇÃO DA UNIVERSIDADE FEDERAL DA BAHIA (PPGEEC / UFBA) COMO PARTE DOS REQUISITOS NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE DOUTOR EM ENGENHARIAS ELÉTRICA E DE COMPUTAÇÃO.

Orientador: Prof. Eduardo F. de Simas Filho, D.Sc - UFBA

Coorientador: Prof. Paulo C. M. de Abreu Farias, D.Sc - UFBA

Salvador

Dezembro, 2025

L979 Luz, Igo Amaurí dos Santos.

Soluções inovadoras em hardware reconfigurável para processamento online em um detector com alta taxa de eventos / Igo Amaurí dos Santos Luz. – Salvador, 2025.

106f.: il.; color.

Orientador: Prof. Dr. Eduardo Furtado de Simas Filho.

Coorientador: Prof. Dr. Paulo C. M. de Abreu Farias.

Tese (doutorado) – Programa de Pós-Graduação em Engenharias Elétrica e de Computação, Escola Politécnica, Universidade Federal da Bahia, 2025.

1. Hardware. 2. Aceleradores de partículas. 3. Elétrons. 4. Redes neurais artificiais. I. Simas Filho, Eduardo Furtado de. II. Farias, Paulo C. M. de Abreu. III. Universidade Federal da Bahia. IV. Título.


CDD: 539.721 12

Ficha catalográfica elaborada pela Biblioteca Bernadete
Sinay Neves, Escola Politécnica – UFBA.

Igo Amaurí dos Santos Luz

Soluções Inovadoras em Hardware Reconfigurável para Processamento Online em um Detector com Alta Taxa de Eventos.

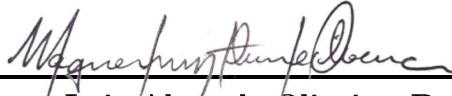
TESE SUBMETIDA AO CORPO DOCENTE DO PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIAS ELÉTRICA E DE COMPUTAÇÃO DA UNIVERSIDADE FEDERAL DA BAHIA (PPGEEC / UFBA) COMO PARTE DOS REQUISITOS NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE DOUTOR EM ENGENHARIAS ELÉTRICA E DE COMPUTAÇÃO.



Eduardo F. de Simas Filho, D.Sc.
UFBA
Orientador



Paulo C. M. de Abreu Farias, D.Sc
UFBA
Co-Orientador



Wagner Luiz Alves de Oliveira, D. Sc
Avaliador Interno (UFBA)

Documento assinado digitalmente



HERMAN PESSOA LIMA JUNIOR
Data: 22/01/2026 14:08:49-0300
Verifique em <https://validar.iti.gov.br>

Herman Pessoa Lima Jr., D.Sc.
Avaliador Externo (CBPF)



Victor Araujo Ferraz, D. Sc
Avaliador Externo (UFRN)

Documento assinado digitalmente



RICARDO DOS SANTOS FERREIRA
Data: 22/01/2026 15:18:12-0300
Verifique em <https://validar.iti.gov.br>

Ricardo dos Santos Ferreira, D. Sc
Avaliador Externo (UFV)

Salvador

Dezembro, 2025

Agradecimentos

Aos meus pais, Nilda e Antônio. O incentivo constante e os sacrifícios feitos ao longo dos anos foram a maior fonte de motivação para perseguir meus objetivos acadêmicos. Sem o apoio e a educação que vocês me deram, eu não teria chegado até aqui. Muito Obrigado.

Aos meus familiares mais próximos, em especial as minhas tias Lucila, Nivelândia, Nilzete e Simone. Obrigado pela torcida e compreensão pelo tempo que precisei ficar mais distante.

Aos meus amigos, vocês foram fundamentais! Obrigado pelos momentos de descontração e pelo apoio emocional. Essa etapa teria sido mais dura se eu não tivesse o apoio de vocês. Graças ao carinho de vocês, pude manter o ânimo e a perspectiva ao longo desta trajetória.

Agradeço imensamente aos meus orientadores, Eduardo Simas e Paulo Cesar, pela confiança depositada, pela orientação científica, pela paciência em cada discussão e pela dedicação em compartilhar o conhecimento que guiou cada etapa desta tese.

Ao cluster ATLAS Brasil pelos ensinamentos, orientações, suporte e oportunidades que me foram dadas. Um agradecimento especial a Edmar Egidio, Juan Marin, Luciano Manhães, José de Seixas e Denis Damazio.

Agradeço, também, a Universidade Federal da Bahia e, em especial, ao Programa de Pós Graduação em Engenharias Elétrica e de Computação.

Ao CNPq, CAPES, FAPESB, RENAFAP (MCTI) e LAA-HECAP pelo suporte financeiro.

Resumo

O *Large Hadron Collider* (LHC) do CERN, o maior acelerador de partículas em operação do mundo, passará por uma atualização para a fase HL-LHC (*High Luminosity* LHC), aumentando a luminosidade e a energia das colisões próton-próton. Para o experimento *ATLAS*, o processo de atualização do acelerador impacta, dentre outros, no sistema de medição de energia (calorímetro) e no sistema de seleção de eventos e aquisição de dados (*Trigger and Data Acquisition* - TDAQ). As mudanças propostas por esse processo de atualização poderão provocar a sobreposição dos sinais medidos pelos sensores do *TileCal*, afetando o processo de caracterização das partículas. Para atenuar os efeitos provocados pela distorção dos sinais, torna-se necessário realizar, de modo online, a estimação do sinal original. Outro desafio para a operação do HL-LHC é o novo componente de hardware, o *Global Trigger*. Ele implementará os algoritmos de computação e seleção. Um desses algoritmos é o *NeuralRinger*, um método que combina uma representação em forma de anel de chuveiros eletromagnéticos e aprendizado de máquina para selecionar elétrons de forma eficiente. Neste contexto, o objetivo principal deste trabalho é desenvolver soluções de processamento online em *FPGA* para problemas gerados para o experimento *ATLAS* em decorrência do cenário de operação do HL-LHC. Este trabalho propõe uma solução de *hardware* para a estimação da energia e também a implementação do *NeuralRinger* no *Global Trigger*. Para a estimação da energia, foram implementadas e avaliadas duas diferentes técnicas, uma baseada no filtro FIR, outra no algoritmo do Gradiente Descendente Positivo. O *NeuralRinger* foi projetado e implementado como um componente integrado ao *Global Event Processor* (GEP), que é o núcleo do *Global Trigger*. Os resultados de erro das implementações dos algoritmos de estimação de energia e seleção de elétrons indicaram a eficiência das implementações em hardware. Os circuitos implementados também foram sintetizados para as *FPGAs* definidas no projeto de atualização da eletrônica do *ATLAS*, sendo a *Xilinx XC7VX485T* para a eletrônica do *TileCal*, utilizada no projeto dos algoritmos de estimação de energia, e a *Xilinx Virtex UltraScale+ VCU118* para o *Global Trigger*, utilizada no projeto do *NeuralRinger*. Os resultados de síntese dos circuitos para estimação de energia, utilizando a abordagem determinística, reportaram a utilização de cerca 0,8% de Registradores, LUTs e DSPs e, para a abordagem iterativa, cerca de 11% para LUTs, 9% para Registradores e 17% para DSPs. Para o *NeuralRinger*, a ferramenta de síntese reportou a utilização de 1,42% de *LookUp Tables* e 0,96% de *Flip-Flops* para o circuito de construção dos anéis, e 0,12% de *LookUp Tables* e 0,26% de *Flip-Flops* para a rede neural. Esses resultados indicaram a viabilidade de embarcar ambas as soluções nas respectivas placas *FPGAs*.

Abstract

The Large Hadron Collider (LHC) at CERN, the world's largest operational particle accelerator, will undergo an upgrade to the HL-LHC (High Luminosity LHC) phase, increasing the luminosity and energy of proton-proton collisions. For the ATLAS experiment, the accelerator upgrade process impacts, among other things, the energy measurement system (calorimeter) and the event selection and data acquisition system (Trigger and Data Acquisition - TDAQ). The changes proposed by this upgrade process may cause the superposition of signals measured by the TileCal sensors, affecting the particle characterization process. To mitigate the effects caused by signal distortion, it becomes necessary to perform the estimation of the original signal in an online manner. Another challenge for the HL-LHC operation is the new hardware component, the Global Trigger. It will implement the computing and selection algorithms, and one of these algorithms is the NeuralRinger, a method that combines a ring-shaped representation of electromagnetic showers and machine learning to efficiently select electrons. In this context, the main objective of this work is to develop online processing solutions in FPGA for the problems generated for the ATLAS experiment due to the LHC operation scenario in HL-LHC. This work proposes a hardware solution for energy estimation and also the implementation of the NeuralRinger in the Global Trigger. For energy estimation, two different techniques were implemented and evaluated: one based on the FIR filter, and the other on the Positive Gradient Descent algorithm. The NeuralRinger was designed and implemented as a component integrated into the Global Event Processor (GEP), which is the core of the Global Trigger. The error results from the implementations of the energy estimation and electron selection algorithms indicated the efficiency of the hardware implementation. The implemented circuits were also synthesized for the FPGAs defined in the ATLAS electronics upgrade project: the Xilinx XC7VX485T for the TileCal electronics, used in the design of the energy estimation algorithms, and the Xilinx Virtex UltraScale+ VCU118 for the Global Trigger, used in the NeuralRinger design. The circuit synthesis results for energy estimation, using the deterministic approach, reported a utilization of approximately 0.8% of Registers, LUTs, and DSPs, and, for the iterative approach, approximately 11% for LUTs, 9% for Registers, and 17% for DSPs. For the NeuralRinger, the synthesis tool reported a utilization of 1.42% of LookUp Tables and 0.96% of Flip-Flops for the ring construction circuit, and 0.12% of LookUp Tables and 0.26% of Flip-Flops for the neural network. These results indicated the viability of deploying both solutions on the respective FPGAs boards.

Lista de abreviaturas e siglas

AdaGrad	<i>Adaptive Gradient</i>
ADAM	<i>Adaptive Moment Estimation</i>
ADC	<i>Analog-Digital Converter</i>
ALICE	<i>A Large Ion Collider Experiment</i>
APP	<i>Algorithm Processing Platform</i>
APU	<i>Algorithm Processing Unit</i>
ATLAS	<i>A Toroidal LHC AparatuS</i>
BC	<i>Bunch Crossing</i>
CERN	<i>European Organization for Nuclear Research</i>
CMS	<i>Compact Muon Solenoid</i>
EB	<i>Extended Barrel</i>
ECAL	<i>Eletromagnetic Calorimeter</i>
FEX	<i>Feature Extraction</i>
FIFO	<i>First-In, First-Out</i>
FPGA	<i>Field-Programmable Gate Array</i>
GEP	<i>Global Event Processor</i>
HLT	<i>High-Level Trigger</i>
HYPO	<i>Hypothesis</i>
LAr	<i>Liquid Argon</i>
LB	<i>Long Barrel</i>
LHC	<i>Large Hadron Collider</i>
LHCb	<i>Large Hadron Collider beauty</i>
L1	<i>Level-1</i>
L0	<i>Level-0</i>
MLP	<i>Multi-Layer Perceptron</i>

MSE	<i>Mean Squared Error</i>
OF	<i>Optimal Filter</i>
PMT	<i>Photomultiplier Tube</i>
PS	<i>Pre Sampler</i>
ReLU	<i>Rectified Linear Unit</i>
RMS	<i>Root Mean Square</i>
RNA	Redes Neurais Aritificais
ROC curve	<i>Receiver Operating Characteristic curve</i>
RoI	<i>Region of Interest</i>
TileCal	<i>Tile Calorimeter</i>

Lista de símbolos

eV	elétron-Volt
γ	Fóton
E	Energia da partícula
E_T	Energia transversa
$E\{\cdot\}$	Operador valor esperado
η	Pseudorapidez
ϕ	Ângulo azimutal
θ	Ângulo polar
$\langle \mu \rangle$	Número médio de interações por colisão
$y(n)$	Sinal recebido no TileCal
A	Amplitude do sinal adquirido
\hat{A}	Estimativa da amplitude do sinal
$h(n)$	Pulso de referência do TileCal
τ	Desvio de fase do pulso do TileCal
$w(n)$	Distorções do sinal recebido pelo TileCal
$c(n)$	Coefficientes do filtro OF2
α, λ, κ	Multiplicadores de Lagrange associados ao OF2
\mathbf{H}	Matriz de pulsos de referência do TileCal
σ_{PCA}	Variância explicada pelo método PCA
σ_w	Desvio padrão de $w(n)$
$u(k)$	Função degrau unitário
R_η	Razão de energia espalhada no eixo η
R_k	i -ésimo valor de um anel do algoritmo NeuralRinger
r_k	i -ésimo valor normalizado de um anel do algoritmo NeuralRinger
$P(\cdot)$	Operador de probabilidade
$\phi(\langle \mu \rangle)$	Função de ajuste por empilhamento

Lista de ilustrações

Figura 1 – Esquema do aparelho usado para medir a deflexão elétrica e magnética dos raios catódicos (CARUSO; OGURI; SANTORO, 2023).	23
Figura 2 – Diagrama do Modelo Padrão de Partículas (ARBUZOV, 2017).	24
Figura 3 – Fotografia do túnel do LHC (BIOT, 2007).	27
Figura 4 – O cronograma de operação do LHC para os três primeiros períodos de funcionamento e a preparação para a fase de alta luminosidade (HL-LHC) (BRÜNING; ZERLAUTH, 2025).	28
Figura 5 – Localização dos quatro maiores detectores do LHC ao longo do percurso do acelerador (Simas Filho, 2010).	29
Figura 6 – O experimento Atlas e seus componentes (ATLAS Collaboration, 2017c). . .	31
Figura 7 – Eixo de coordenadas do ATLAS (Simas Filho, 2010).	32
Figura 8 – Representação ilustrativa da interação das partículas com os calorímetros do ATLAS (PEQUENAO; SCHAFFNER, 2013).	33
Figura 9 – Diagrama do sistema de calorimetria do experimento ATLAS (AAD et al., 2008).	34
Figura 10 – Corte transversal do ATLAS (Simas Filho, 2010).	34
Figura 11 – Esboço da estrutura das camadas do ECAL e suas células (AAD et al., 2008).	35
Figura 12 – Esquemático do conjunto mecânico e da leitura óptica do <i>TileCal</i> (AAD et al., 2010; AAD et al., 2008).	36
Figura 13 – A geometria das células do <i>TileCal</i> (AABOUD; AL., 2018).	36
Figura 14 – Diagrama do novo sistema de <i>Trigger</i> do ATLAS para a <i>Run-4</i> (ATLAS Collaboration, 2017c).	38
Figura 15 – Diagrama funcional do sistema do <i>Global Trigger</i> (ATLAS Collaboration, 2017c; BEGEL; SANKEY, 2021c).	40
Figura 16 – Multiplexação de dados de entrada do GEP (ATLAS Collaboration, 2017c; BEGEL; SANKEY, 2021c).	41
Figura 17 – Diagrama do esquemático do <i>Global Common Module (GCM)</i> (ATLAS Collaboration, 2017c; BEGEL; SANKEY, 2021c).	42
Figura 18 – Representação gráfica da Resposta ao Impulso Típica de um sensor (CAVALCANTI et al., 2014).	42
Figura 19 – Representação gráfica do efeito de empilhamento de sinais medidos (CAVALCANTI et al., 2014).	43
Figura 20 – Arquitetura do <i>Trigger</i> L1 baseado em calorimetria atual (CAVALCANTI et al., 2014).	44
Figura 21 – Arquitetura do <i>Trigger</i> L1 baseado em calorimetria em desenvolvimento (CAVALCANTI et al., 2014).	44
Figura 22 – Esquemático da eletrônica de uma gaveta do <i>TileCal</i> (BIOT, 2007).	45
Figura 23 – Representação gráfica do caminho do sinal na arquitetura atual do <i>TileCal</i> (CERQUEIRA, 2013).	45

Figura 24 – Diagrama do caminho da informação na atualização dos sistemas eletrônicos do <i>TileCal</i> (CARRIÓ, 2022)	46
Figura 25 – Protótipo <i>TilePPr</i> para Atualização do Sistema Off-Board (CARRIÓ, 2022) .	47
Figura 26 – Representação gráfica do efeito de sobreposição entre sinais adjacentes (CLEMENT; KLIMEK, 2011).	49
Figura 27 – Modelo da sobreposição de sinais em um canal de medição.	50
Figura 28 – Representação da Forma Direta do Filtro FIR (MEYER-BAESE, 2007). . . .	52
Figura 29 – Representação da Forma Transposta do Filtro FIR (MEYER-BAESE, 2007). .	52
Figura 30 – Representação da Forma em Cascata do Filtro FIR (DINIZ; NETTO; SILVA, 2010).	52
Figura 31 – Exemplo de recuperação do sinal do <i>TileCal</i> usando o método determinístico. .	54
Figura 32 – Representação da lógica do Gradiente Descendente Positivo.	56
Figura 33 – Modelo biológico de um neurônio (FACELI et al., 2011).	58
Figura 34 – Modelo computacional não-linear de um neurônio (HAYKIN, 2009).	59
Figura 35 – Representação gráfica da arquitetura de uma perceptron multicamadas com duas camadas ocultas (HAYKIN, 2009).	60
Figura 36 – Sequência do fluxo de processamento para seleção de elétrons na etapa de HLT do sistema de <i>Trigger</i> do ATLAS com a utilização do <i>NeuralRinger</i> na etapa rápida (<i>Fast</i>). (AAD; ABBOTT et al., 2020; PINTO, 2022).	62
Figura 37 – Diagrama de Blocos do funcionamento do <i>NeuralRinger</i> nas etapas de <i>Feature Extraction - FEX</i> e <i>Hypothesis - HYPO</i>	62
Figura 38 – Representação do formato dos anéis para todas as camadas dos calorímetros. A célula mais energética de cada anél é representada em vermelho, enquanto os anéis ao redor dela alternam entre preto e branco. (AAD; ABBOTT et al., 2020).	63
Figura 39 – Diagrama do fluxo de projeto digital.	66
Figura 40 – Arquitetura do circuito implementado em FPGA para a solução da estimação de energia. Diagrama ilustra as etapas de processamento interno da implementação em FPGA, juntamente com as conexões externas para sinais de entrada, informações de configuração e sinais de saída.	69
Figura 41 – Diagrama do Bloco Configura Filtros.	70
Figura 42 – Diagrama do Bloco Conversor Serial/Paralelo.	70
Figura 43 – Diagrama do Bloco Conversor Paralelo/Serial.	70
Figura 44 – Diagrama do Bloco Controle.	71
Figura 45 – Diagrama do Bloco Processamento Sinal.	71
Figura 46 – Diagrama dos Estágios do Paralelismo.	71
Figura 47 – Diagrama do fluxo de dados do filtro FIR, em sua forma transposta, implementado.	72
Figura 48 – Diagrama do fluxo de dados do circuito, baseado no filtro FIR, para processar os 12 canais de medição que compartilham as estruturas de multiplicador e somador.	73

Figura 49 – Diagrama da máquina de estado finita responsável por controlar a execução do algoritmo do PGD, mostrando as etapas computacionais necessárias para a implementação no hardware das Equações 4.3, 4.4, 4.5, 4.6 e 4.7. As Eq1 até Eq5 na figura representam as Equações 4.3 até 4.7.	75
Figura 50 – Versão do diagrama de blocos da estrutura do <i>Global Event Processor</i> (GEP) considerada para o desenvolvimento do circuito do <i>NeuralRinger</i> no contexto dessa tese. Está destacado em vermelho o bloco que representa o algoritmo e suas respectivas fontes de dado de entrada.	76
Figura 51 – O <i>NeuralRinger</i> e a integração com o GEP.	78
Figura 52 – Protocolo de transmissão de dados implementado para acesso das FIFOs da APP.	78
Figura 53 – Implementação do Circuito do <i>Feature Extraction</i> - FEX.	80
Figura 54 – Diagrama de blocos da implementação do bloco HYPO.	81
Figura 55 – Aproximação linear por partes da função sigmoide.	82
Figura 56 – Representação gráfica do pulso característico do <i>TileCal</i> (DUARTE, 2015).	83
Figura 57 – Exemplos do pulso característico do <i>TileCal</i> com desvio de fase (DUARTE, 2015).	84
Figura 58 – Representação gráfica de sinais de energia simulados com e sem o efeito de empilhamento	85
Figura 59 – Gráficos de dispersão para a energia estimada usando a implementação do filtro FIR em FPGA (ordem 20) em comparação com (a) os sinais reais e (b) a implementação do filtro FIR <i>off-line</i>	86
Figura 60 – Histogramas dos erros da estimação da energia usando a implementação do filtro FIR em FPGA (ordem 20) em comparação com (a) os sinais reais simulados e (b) a implementação do filtro FIR <i>off-line</i>	86
Figura 61 – Diagrama do caminho de dados da operação de multiplicação do DSP48 da placa FPGA da Xilinx.	87
Figura 62 – Resultados do erro quadrático médio (em contagens de ADC) da implementação do algoritmo do Gradiente Descendente Positivo variando o número de iterações.	88
Figura 63 – Diagrama de blocos ilustrando o processo de descarte de amostras da janela de saída do GDP. O GDP processa uma janela de 25 amostras e gera uma saída com 19 amostras, das quais seis são descartadas de cada borda (superior e inferior), gerando um resultado com 13 amostras.	89
Figura 64 – Erro quadrático médio da implementação do Gradiente Descendente Positivo em FPGA variando o número de amostras descartadas em cada borda da janela.	89
Figura 65 – Diagrama do circuito combinacional proposto para multiplicação de matrizes para reduzir o tempo de resposta.	90
Figura 66 – Diagrama de Blocos do Ambiente de Simulação da implementação do <i>NeuralRinger</i> integrado ao <i>Global Event Processor</i>	91
Figura 67 – Perfil dos 50 anéis construídos no <i>Lorenzetti</i> utilizando a mesma base de dados para estimular o circuito.	92

Figura 68 – Perfil dos 50 anéis construídos pelo circuito utilizando a base de dados gerada pelo simulador <i>Lorenzetti</i>	92
Figura 69 – Erro quadrático médio (círculos vermelhos) e desvio padrão para cada anel, calculados para todos os eventos disponíveis, considerando a saída do circuito e da referência para valores reais.	93
Figura 70 – Representação gráfica dos níveis de energia gerados pelo <i>Lorenzetti</i> para a base de dados utilizadas para a simulação do <i>NeuralRinger</i>	93
Figura 71 – Histograma de distribuição do erro entre os valores de saída da rede em Hardware e Software	94
Figura 72 – Erro Quadrático Médio entre as saídas da rede em Hardware e Software por região do calorímetro	95

Lista de tabelas

Tabela 1 – Exemplos de aceleradores de partículas (COTTINGHAM; GREENWOOD, 2023)	26
Tabela 3 – Distribuição da quantidade de anéis por camada do sistema de calorimetria do experimento ATLAS considerados para a versão com 50 anéis do algoritmo	64
Tabela 4 – Granularidades de cada camada do sistema de calorimetria do ATLAS consideradas para execução da construção dos anéis do algoritmo <i>NeuralRinger</i> (PINTO, 2022).	65
Tabela 5 – Formato do <i>Trigger Object</i> de 64 bits definido pelo GEP e utilizado como formato do dado de entrada na implementação do <i>NeuralRinger</i>	77
Tabela 6 – Técnica de codificação dos valores de energia transversa (Et) implementada para construção do bloco FEX do <i>NeuralRinger</i> considerando a definição do formato do dado do GEP.	79
Tabela 7 – Resultados do erro quadrático médio (em contagens de ADC) da implementação do filtro FIR do FPGA (método de coeficientes fixos) variando a ordem do filtro.	86
Tabela 8 – Utilização dos recursos lógicos da implementação do filtro FIR com ordem 20 tendo como dispositivo alvo a FPGA Xilinx XC7VX485T.	87
Tabela 9 – Resultados do erro quadrático médio (em contagens de ADC) do método iterativo, variando o número de iterações	88
Tabela 10 – Utilização dos recursos lógicos da implementação do método iterativo tendo como dispositivo alvo a FPGA Xilinx XC7VX485T	89
Tabela 11 – Utilização de recursos lógicos da síntese do circuito de construção dos anéis para a placa FPGA Virtex UltraScale+ VCU118	94
Tabela 12 – Utilização de recursos lógicos da síntese do circuito de uma rede neural artificial implementada no HYPO para a placa FPGA Virtex UltraScale+ VCU118 . .	95

Sumário

1	INTRODUÇÃO	17
1.1	Motivação	18
1.2	Objetivos	20
1.3	Contribuições da Tese	21
1.4	Organização do Documento	22
2	FÍSICA DE PARTÍCULAS E O ACELERADOR LHC	23
2.1	Introdução à Física de Partículas	23
2.2	O Acelerador LHC	25
2.3	O Experimento ATLAS	29
2.3.1	A Calorimetria do ATLAS	32
2.3.2	O Sistema de Trigger	37
2.4	O Global Trigger	40
2.5	O Sistema Eletrônico do <i>TileCal</i>	41
2.5.1	Sistema Eletrônico Atual do Primeiro Nível de Trigger do <i>TileCal</i>	44
2.5.2	Proposta de Atualização do Sistema Eletrônico do <i>TileCal</i>	45
3	TÉCNICAS DE ESTIMAÇÃO DE ENERGIA E SELEÇÃO DE ELÉTRONS	48
3.1	Técnicas de Estimação de Energia	48
3.1.1	Método Determinístico	51
3.1.1.1	Filtro FIR	51
3.1.1.2	Projeto do Filtro Inverso Realizável	52
3.1.2	Método Iterativo	54
3.1.2.1	O Modelo de Van Cittert	54
3.1.2.2	Gradiente Descendente e suas Variações	55
3.2	Seleção Online de Elétrons do ATLAS com o <i>NeuralRinger</i>	56
3.2.1	Classificação utilizando Redes Neurais Artificiais	56
3.2.1.1	Redes Neurais Artificiais	57
3.2.1.2	Redes Neurais com Múltiplas Camadas - <i>Multi-Layer Perceptron</i>	60
3.2.2	O Algoritmo <i>NeuralRinger</i>	61
4	METODOLOGIA	66
4.1	Solução de Arquitetura de Hardware para Estimação de Energia	68
4.1.1	Implementação do Método Determinístico: Filtro FIR Digital	72
4.1.2	Implementação do Método Iterativo: Gradiente Descendente Positivo	73
4.2	Implementação do <i>NeuralRinger</i>	75
5	RESULTADOS	83
5.1	Resultados da Solução para Estimação de Energia	83

5.1.1	Resultados de Simulação e Síntese do Método Determinístico	85
5.1.2	Resultados de Simulação e Síntese do Método Iterativo	87
5.2	Resultados da Implementação do <i>NeuralRinger</i>	90
6	CONCLUSÃO	96
	REFERÊNCIAS	99
A	PRODUÇÃO CIENTÍFICA	105
A.1	Artigos em Periódicos	105
A.2	Artigos em Conferências	105
A.3	Resumos em Conferências	106
B	QUALIFICAÇÃO PARA AFILIAÇÃO NO EXPERIMENTO ATLAS	107

1 Introdução

A Física de Partículas (em alguns casos chamada de Física de Altas Energias ou *High-Energy Physics* - HEP) é a área da ciência responsável por estudar a composição fundamental da matéria, em outras palavras, estuda as partículas subatômicas e suas formas de interação. Historicamente, a descoberta do elétron por J. J. Thomson em 1897, marcou o início dessa jornada, estabelecendo-o como uma partícula elementar. Posteriormente, outras partículas foram descobertas, como o próton e o nêutron (COTTINGHAM; GREENWOOD, 2023; MARTIN, 2009). O Modelo Padrão da Física de Partículas, desenvolvido ao longo de décadas de pesquisa experimental e teórica, é a teoria atual que descreve como as partículas elementares são constituídas, categorizadas e como interagem umas com as outras (COTTINGHAM; GREENWOOD, 2023; MARTIN, 2009).

O avanço na área da Física de Partículas tem sido impulsionado pela intrínseca relação entre teoria e experimento. Os experimentos de física de altas energias vêm sendo projetados para observar e caracterizar as partículas de interesse, que podem ser geradas por fontes naturais (ex. raios cósmicos) ou artificiais (aceleradores de partículas), e dedicam-se à investigação dos constituintes elementares da matéria e suas interações fundamentais (FERNOW, 1986; COTTINGHAM; GREENWOOD, 2023). As pesquisas em Física de Partículas evoluíram muito à partir da utilização de grandes aceleradores de partículas e de seus detectores (MARTIN, 2009; WIEDEMANN, 2015). Essas máquinas, cuja construção teve início na década de 1930 com o acelerador linear Cockcroft-Walton em Cambridge, Reino Unido, e o ciclotron de Lawrence em Berkeley, EUA, têm permitido aos cientistas explorar as partículas elementares e suas interações, através da comprovação dos modelos teóricos previamente elaborados pelos pesquisadores e, também, fundamentar o desenvolvimento de novos modelos (COTTINGHAM; GREENWOOD, 2023).

O Grande Colisor de Hádrons (LHC, do inglês *Large Hadron Collider*) (EVANS; BRYANT, 2008a), projetado pelo Centro Europeu para Pesquisas Nucleares (*CERN*, da abreviação do nome em francês *Conseil Européen pour la Recherche Nucléaire*), destaca-se como o maior acelerador de partículas atualmente em operação. O LHC foi concebido para acelerar feixes de prótons até 99,999999% da velocidade da luz, com energia da ordem de 7 TeV por feixe, totalizando 14 TeV no centro de massa da colisão¹. O complexo do LHC é composto por seis experimentos, os principais são: ATLAS (*A Toroidal LHC ApparatuS*), CMS (*Compact Muon Solenoid*), LHCb (*Large Hadron Collider beauty experiment*) e ALICE (*A Large Ion Collider Experiment*). Cada um desses experimentos possui arquiteturas específicas e são otimizados para investigar diferentes características das partículas. Uma das conquistas mais significativas do LHC, realizada pelos experimentos ATLAS e CMS, foi a confirmação da existência do Bóson de Higgs em 2012 (ATLAS Collaboration, 2012; CMS Collaboration, 2012).

Com o intuito de avançar nas pesquisas, o LHC está em processo de atualização para

¹ O (eV) é uma unidade definida como a quantidade de energia cinética ganha por um elétron quando submetido a uma diferença de potencial de 1V no vácuo.

aumentar a quantidade de interações por cm^2 , ou seja, um aumento de luminosidade, e também a energia de colisão próton-próton no centro de massa (BRÜNING; ZERLAUTH, 2025). Até 2013, durante a primeira fase de operação, intitulada de *Run-1*, o LHC acelerou prótons a um Centro de Energia de Massa entre 7 e 8 TeV. Durante a *Run-2* (2015-2018), o LHC gerou colisões a 13 TeV, na *Run-3* (2022-2026), as colisões estão sendo produzidas a 13,6 TeV (BRÜNING; ZERLAUTH, 2025). Para sua próxima fase de operação, chamada de *Run-4* e prevista para 2030, o acelerador será atualizado para o HL-LHC (*High luminosity LHC*) e projeta-se que irá operar com energia nominal de 14 TeV, ou 7 TeV por feixe e o número médio de interações por colisão aumentará das atuais 60 para 200 interações (BRÜNING; ZERLAUTH, 2025; COTTINGHAM; GREENWOOD, 2023). Este novo cenário impõe desafios computacionais aos sistemas de aquisição e filtragem de dados, conhecidos como sistemas de *trigger*. Dentre eles, destaca-se a necessidade de implementar, em hardware, algoritmos atualmente executados no nível de software, como os algoritmos de estimação de energia e de seleção de elétrons.

1.1 Motivação

A atualização do LHC para o HL-LHC gera desafios para todos os experimentos, que precisam ser preparados para lidarem com as novas condições de operação. No contexto do experimento ATLAS, diversos componentes do detector precisarão ser atualizados (ATLAS Collaboration, 2017d). Os componentes eletrônicos de *front-end* dos calorímetros e o sistema de seleção de eventos e aquisição de dados (*Trigger and Data Acquisition - TDAQ*) serão atualizados para que o ATLAS possa manter a eficiência de seleção, mas com luminosidade mais alta.

O sistema de *Trigger* do ATLAS é dividido em níveis, sendo o nível inicial implementado em hardware e os demais em software (ATLAS Collaboration, 2017d). Até então, diferentes algoritmos complexos, como de estimação de energia, seleção de elétrons e fótons, encontram-se implementados em software. Entretanto, para as condições de operação do HL-LHC, em que será aumentada a quantidade de interações por colisão e a granularidade de processamento dos dados das colisões, essa abordagem torna-se ineficiente para atender aos requisitos de processamento em tempo real, sendo necessária a implementação em hardware.

A implementação de soluções de processamento de sinais em software é, normalmente, adotada quando o tempo de resposta do sistema não é crítico. Implementações em *software* podem utilizar microprocessadores, multiprocessadores, processadores digitais de sinais de propósito geral e unidades de processamento gráfico (GPU, do inglês *Graphics Processing Unit*). Entretanto, como essas arquiteturas não foram projetadas visando aplicações específicas, suas instruções não possuem a otimização necessária para atender às demandas de alto desempenho exigidas por aplicações online. Em contrapartida, implementações em hardware dedicado podem alcançar maior desempenho, pois podem ser projetadas para explorar técnicas de paralelismo (RAMACHANDRAN, 2014; MEYER-BAESE, 2007), resultando em menor latência e tempo de resposta.

Um sistema em hardware dedicado pode ser desenvolvido em ASIC (*Application-Specific Integrated Circuit*) ou utilizando dispositivos FPGA (*Field-Programmable Gate Array*). Os ASICs são utilizados para implementação de tarefas específicas e caracterizam-se como um circuito

integrado (CI) desenvolvido exclusivamente para exercer uma determinada função em um domínio específico, sem possibilidade de alteração de sua estrutura. Os FPGAs são dispositivos com arquiteturas reconfiguráveis, onde os projetistas podem criar circuitos digitais para uma tarefa específica e serem reconfigurados a qualquer momento (MEYER-BAESE, 2007).

Para o HL-LHC, está sendo projetada uma nova estrutura do TDAQ do ATLAS (ATLAS Collaboration, 2017d), em que dispositivos FPGA serão utilizados para embarcar algoritmos de estimação de energia e de seleção de partículas e eventos. No cenário da estimação de energia, o aumento do número de interações por colisão associado à frequência de ocorrência de 40 MHz aumentará, consideravelmente, o efeito de empilhamento (*pileup*). Considerando o ambiente de funcionamento do calorímetro hadrônico (*TileCal*), que é o sub-detector do ATLAS dedicado à medição de energia e à estimação da posição da interação, essas novas condições de operação provocarão a sobreposição da informação de eventos subsequentes medidos (CLEMENT; KLIMEK, 2011; CERQUEIRA, 2013). Além do *pileup*, as novas condições de operação do TDAQ do ATLAS definem o aumento da granularidade para o processamento online, já que os somadores analógicos atualmente utilizados para reduzir a granularidade do primeiro nível de *trigger* serão desativados. Desta forma, as informações de todos os sensores devem ser processadas pelo sistema de *trigger*, tornando-se necessária a implementação dos algoritmos de estimação de energia em *hardware*.

A técnica de estimação de energia utilizada e implementada no primeiro nível de seleção do ATLAS é o Filtro Casado, utilizado para detectar o pulso do calorímetro (HADLEY, 2010; GARVEY; REES, 1996). Com o aumento da luminosidade e a alta taxa de ocorrência de eventos, a eletrônica e as técnicas de estimação atualmente utilizadas tornam-se ineficientes no processo de identificar os eventos de interesse (FILHO et al., 2015). Por isso, pesquisadores do ATLAS vêm desenvolvendo alterações no sistema eletrônico do detector (ATLAS Collaboration, 2017d). Além das alterações na estrutura física, estudos estão sendo realizados para se definir a melhor solução em relação ao método para reconstruir os sinais afetados pelo *pileup* (FILHO et al., 2015; DUARTE et al., 2019), pois o Filtro Casado depende do conhecimento prévio do formato padrão do pulso e este será distorcido pelo *pileup*.

Em um sistema de medição, o sinal medido pode ser considerado como o resultado da convolução entre a informação original e a resposta do canal de medição e, portanto, métodos de deconvolução (ou filtragem inversa) têm sido aplicados para reduzir as distorções de medição (Gupta; Chakradhar Reddy, 2017). O problema de deconvolução também é relevante para diferentes aplicações de processamento de sinais. Em (GRAAS; LUCKA, 2025), o método da deconvolução foi utilizado para reduzir o ruído em imagens de radiografias de raios X de equipamentos de raios X industriais, médicos e laboratoriais. Conforme o estudo realizado em (SINE; LU; ZHANG, 2025), a deconvolução também é eficiente na restauração de imagens na área de astronomia. Em pesquisas na área industrial também se utilizam estes métodos para detecção de falhas em equipamentos. Em (YANG et al., 2025), apresenta-se um estudo sobre o uso de uma técnica de deconvolução para identificação precoce de falhas em rolamentos industriais, que geralmente são mascaradas por ruídos.

Dadas as condições de operação do HL-LHC e da ineficiência do Filtro Casado, foram

estudadas e implementadas em FPGA diferentes técnicas de processamento de sinais, visando reduzir os efeitos do empilhamento de eventos no calorímetro hadrônico do ATLAS, o *TileCal*. Neste trabalho são propostas duas abordagens diferentes de deconvolução: determinística e iterativa. A primeira baseou-se em filtro de resposta ao impulso finita (FIR, do inglês *Finite Impulse Response*) (LYONS, 2010), que foi projetado para aproximar a função inversa da resposta em frequência do canal de medição e tende a utilizar poucos recursos lógicos do FPGA. A segunda abordagem baseou-se na técnica de convergência de Van Cittert (BANDŽUCH; MORHÁČ; KRIŠTIAK, 1997), através de uma variação do algoritmo do Gradiente Descendente, que prioriza as amplitudes positivas, zerando as energias negativas a cada iteração.

Para a *Run-4*, um novo componente de hardware, o *Global Trigger*, será adicionado ao novo *TDAQ* (ATLAS Collaboration, 2017d). Ele implementará a seleção de partículas e eventos, até então realizada de forma *offline*, em hardware digital (usando a tecnologia FPGA) a 1 MHz de taxa de eventos de saída. Os algoritmos de computação e seleção serão incorporados ao *Global Event Processor* (GEP), o núcleo do *Global Trigger*. Um desses algoritmos é o *NeuralRinger*, um método atualmente implementado em software no sistema de *trigger* do ATLAS, que combina uma representação em forma de anel de chuveiros eletromagnéticos e aprendizado de máquina para selecionar elétrons de forma eficiente. Os elétrons são partículas de interesse para o experimento, logo, torna-se essencial distinguir os elétrons das demais partículas geradas nas colisões próton-próton, principalmente dos jatos de hádrons. Diante desse contexto, este trabalho apresenta a implementação do *NeuralRinger* em FPGA, considerando as características e as condições de operação do GEP, uma vez que o hardware desenvolvido deverá ser embarcado no *Global Trigger*.

1.2 Objetivos

O principal objetivo desta pesquisa foi conceber, projetar e implementar diferentes algoritmos de estimação de energia para o sistema eletrônico do *TileCal*, bem como implementar o algoritmo de seleção de elétrons, o *NeuralRinger*, integrado ao novo componente de *hardware* do TDAQ, o *Global Trigger*. Tais circuitos foram projetados e implementados considerando as condições de operação do *High luminosity* LHC na fase de operação *Run-4* do LHC.

Os objetivos específicos desta pesquisa foram:

1. Avaliar algoritmos de estimação de energia;
2. Propor uma arquitetura de hardware, em FPGA, para implementar os algoritmos de estimação de energia considerando a arquitetura eletrônica do *TileCal*;
3. Avaliar o desempenho dos algoritmos de estimação de energia implementados em hardware;
4. Propor uma arquitetura de hardware para o *NeuralRinger* integrado ao *GlobalTrigger*;
5. Desenvolver a verificação funcional dos circuitos desenvolvidos utilizando dados de simulação do experimento ATLAS; e
6. Avaliar a ocupação de recursos lógicos da FPGA e analisar o relatório de temporização.

1.3 Contribuições da Tese

A primeira contribuição desta tese consiste na concepção, projeto e implementação de uma arquitetura de hardware, para FPGA, capaz de recuperar a informação dos sinais de energia medidos pelo *TileCal* e afetados pelo *pileup*. As condições de operação em alta luminosidade do LHC provocará um aumento da ocorrência da sobreposição de sinais subsequentes medidos pelo sistema eletrônico do *TileCal*, impactando na eficiência do sistema de *trigger*. Para contornar esse problema, os pesquisadores que compõem a colaboração do ATLAS vem desenvolvendo alterações no sistema eletrônico do detector com o objetivo de atender aos requisitos inerentes a alta luminosidade. Dentre as atualizações, tem-se a mudança do sistema de *trigger* para implementar, no primeiro nível, em hardware, a técnica de estimação de energia. Neste contexto, durante a realização deste trabalho de doutorado, foi concebida uma arquitetura para implementação de diferentes algoritmos de estimação de energia que atendem à frequência de ocorrência de colisões a cada 25 ns.

Outra contribuição desenvolvida neste trabalho de doutorado foi o suporte, *in loco*, na eletrônica da TMDB (*TileMuon Digitizer Board*) (FERRAZ, 2018). A TMDB é um hardware que, em conjunto com *TGC-Sector Logic*, atua no calorímetro hadrônico do ATLAS para detecção de múons. Esse sistema implementa uma fusão de informações entre o calorímetro e o espectrômetro de múons, com o objetivo de rejeitar partículas que sensibilizam as câmaras de múons, mas que não são de interesse para a física do LHC (FERRAZ, 2018). Durante o período de operação do sistema, foram identificados problemas no circuito do hardware em FPGA presente na placa da TMDB. Por esse motivo, para garantir o correto funcionamento da eletrônica, foi necessário fazer os ajustes no projeto e embarcar um novo *firmware* nos dispositivos em operação. Diante desta necessidade de manutenção das placas instaladas na sala subterrânea de serviço USA15 (CERN, 2001), durante o período de um mês, as atividades dessa contribuição foram desenvolvidas no CERN.

A terceira contribuição desta tese, bem como a tarefa desenvolvida no processo de qualificação do autor como membro do experimento ATLAS, consiste na concepção, projeto e implementação do algoritmo de seleção de elétrons, *NeuralRinger*, para o *Global Trigger*. O *NeuralRinger* é um algoritmo para seleção de elétrons em operação no sistema de *trigger* do ATLAS desde 2017. Com a atualização para o HL-LHC, na proposta do novo TDAQ, os algoritmos de seleção de eventos e de partículas serão implementados no novo componente de hardware adicionado ao primeiro nível, o *Global Trigger*. Dentre outros blocos, esse sistema é composto pelo *Global Event Processor (GEP)*, núcleo no qual são executados todos os algoritmos de computação e seleção.

O GEP é um *framework* de arquitetura complexa, atualmente em desenvolvimento pela colaboração ATLAS. O *firmware* do GEP foi projetado de forma modular, sendo responsável por fornecer os dados dos detectores aos algoritmos, bem como por realizar a comunicação de dados entre os próprios algoritmos. Durante este trabalho de doutorado, foi concebida, projetada e implementada a arquitetura do *NeuralRinger* integrada ao GEP. Diante da necessidade de embarcar o circuito no *framework*, foi necessário participar, de forma ativa, das reuniões e *workshops* do grupo do *Global Trigger*, com o acompanhamento das definições sobre o funciona-

mento do *framework* e, também, apresentando o andamento do desenvolvimento do circuito do *NeuralRinger*. Ressalta-se, ainda, que processo de desenvolvimento do código foi realizado no repositório Git do projeto do GEP.

1.4 Organização do Documento

No Capítulo 2 é contextualizada a Física de Partículas através do seu histórico e alguns conceitos fundamentais para o entendimento da aplicação desta tese. Além desse ponto, nesse capítulo é apresentado o LHC e o experimento ATLAS, com enfoque nos seus sistemas de calorimetria e de *trigger*. Nesse capítulo são apresentadas as propostas de atualização dos sistemas eletrônicos do ATLAS para a operação do HL-LHC. Destaque-se tanto a atualização da eletrônica do *TileCal* como a atualização do TDAQ para a adição do *Global Trigger*.

No capítulo 3 são apresentados os algoritmos implementados no âmbito desta tese para estimação de energia e para a seleção de elétrons. O capítulo descreve o efeito do *pileup* sobre os sinais de energia e aborda, também, o modelo da sobreposição considerando o sistema de medição do calorímetro. Além disso, são abordadas as principais características dos dois métodos implementados, o FIR e o Gradiente Descendente Positivo. No âmbito da seleção de elétrons, nesse capítulo é detalhado o algoritmo do *NeuralRinger*, em operação no ATLAS desde 2017.

O Capítulo 4 apresenta a metodologia desenvolvida neste trabalho. São apresentadas as arquiteturas, para FPGA, concebidas, projetadas e implementadas para a estimação de energia e para a seleção de elétrons.

No Capítulo 5 são apresentados os resultados de simulação funcional e síntese considerando as placas FPGA definidas para operarem na atualização do ATLAS, a *Virtex-7 XC7VX485T* da Xilinx para o sistema eletrônico do *TileCal* e a *Virtex UltraScale+ VCU118* para o *Global Trigger*.

Por fim, no Capítulo 6 são apresentadas as conclusões deste trabalho e as perspectivas futuras. Nos apêndices, A e B, são mostradas as publicações feitas durante o desenvolvimento do trabalho e detalhes do processo de qualificação do autor como membro do experimento ATLAS.

2 Física de Partículas e o Acelerador LHC

2.1 Introdução à Física de Partículas

A Física de Partículas é uma área de estudo que investiga os constituintes fundamentais da matéria e as interações que os regem. Desde o tempo dos filósofos gregos são propostas teorias que serviram de base para experimentos futuros. Na Grécia antiga, em torno de 600 a 400 a.C., acreditava-se que os elementos fundamentais eram fogo, água, terra e ar. Somente em 400 a.C surgiu a teoria atômica a qual afirma que toda matéria é formada por elementos indivisíveis, os átomos (RUSSEL, 1967). A partir da descoberta do átomo, em 1808, Dalton definiu as características do primeiro modelo atômico, que, baseado em evidências experimentais, considerou o átomo como uma esfera maciça e indivisível (CARUSO; OGURI; SANTORO, 2023).

Em 1897, o pesquisador J. J. Thomson descobriu o elétron. Com essa descoberta, o modelo de Dalton foi substituído pelo modelo do “pudim de passas”, onde cargas negativas estariam distribuídas em uma matriz de carga positiva, configurando-se como o segundo modelo atômico (CARUSO; OGURI; SANTORO, 2023; THOMSON, 1897). A descoberta do elétron foi realizada através da análise do comportamento dos raios catódicos na presença de forças elétricas e magnéticas. Na Figura 1 apresenta-se o esquema do aparelho utilizado nesse experimento (CARUSO; OGURI; SANTORO, 2023).

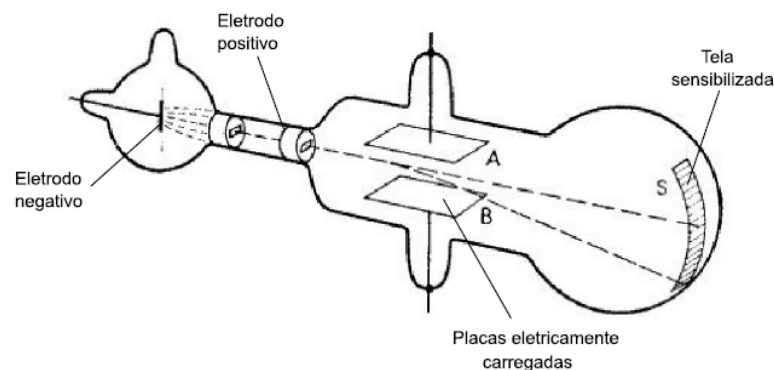


Figura 1 – Esquema do aparelho usado para medir a deflexão elétrica e magnética dos raios catódicos (CARUSO; OGURI; SANTORO, 2023).

Em 1911, através do experimento de espalhamento de partículas alfa em folhas de ouro, Rutherford observou um comportamento diferente ao que havia sido definido por Thompson e apresentou o terceiro modelo atômico (CARUSO; OGURI; SANTORO, 2023; RUTHERFORD, 1911). Esse experimento demonstrou que a maior parte da massa do átomo estava concentrada em um núcleo denso e positivo, com os elétrons orbitando este centro (RUTHERFORD, 1911). No ano de 1913, o pesquisador Niels Bohr introduziu a quantização dos níveis de energia no modelo de Rutherford e definiu que os elétrons circulam em torno do núcleo numa órbita de acordo a um nível de energia do átomo (BOHR, 1913).

Em 1919, Rutherford realizou novos experimentos e descobriu mais uma partícula elemen-

tar, o Próton (CARUSO; OGURI; SANTORO, 2023). Em 1932, a partir de um questionamento sobre o que mantém as cargas positivas confinadas em uma região espacial tão minúscula como a do núcleo atômico, Sir James Chadwick descobriu o nêutron (CARUSO; OGURI; SANTORO, 2023). Em seus experimentos, Chadwick demonstrou que eles implicavam a existência de uma partícula eletricamente neutra com aproximadamente a mesma massa do próton, essa era a descoberta do nêutron (MARTIN, 2009).

A partir das descobertas de elétrons, prótons e nêutrons, acreditava-se que esses eram os elementos fundamentais da constituição da matéria (CARUSO; OGURI; SANTORO, 2023). Contudo, ao longo dos anos novos estudos e experimentos foram realizados chegou-se ao Modelo Padrão, que organiza as partículas fundamentais em férmions (constituintes da matéria) e bósons (mediadores das interações). Na Figura 2 é apresentado um esquema resumido do modelo padrão, em que são mostrados a massa, a carga elétrica e o momento magnético (*spin*) de cada partícula (ARBUZOV, 2017).

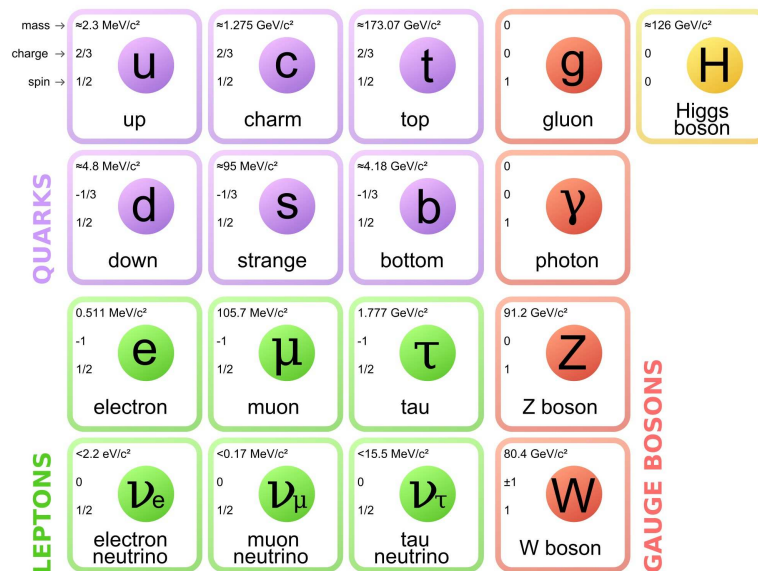


Figura 2 – Diagrama do Modelo Padrão de Partículas (ARBUZOV, 2017).

De acordo com o modelo padrão, os férmions são organizados em *quarks* e léptons, sendo estes os verdadeiros elementos fundamentais, pois não possuem estrutura interna (BRAIBANT; GIACOMELLI; SPURIO, 2011; MOREIRA, 2009). Os *quarks*, chamados de elementos construtores, são classificados em u (*up*), d (*down*), c (*charm*), s (*strange*), b (*bottom*) e t (*top*) e de interação forte (GRIFFITHS, 2008). As pesquisas constatam que os prótons e nêutrons eram formados por *quarks* (GRIFFITHS, 2008).

A descoberta dos *quarks* ocorreu a partir das pesquisas acerca da constituição dos hádrons. Em 1964, os pesquisadores Gell-Mann e Zweig propuseram que todos os hádrons eram formados por elementos chamados *quarks* (GRIFFITHS, 2008), sendo que suas partículas interagem com as outras através de interação forte (WONG, 1998). Os hádrons são partículas que possuem estrutura interna e são classificadas como: bárions, quando formados por três *quarks* ou três antipartículas de *quarks*; e mesóns, quando constituído por um quark e uma antipartícula de quark (PERKINS, 2000).

Os léptons não interagem a partir da força forte e são classificados em elétron (e), múon (μ), tau (τ), e seus respectivos neutrinos (BRAIBANT; GIACOMELLI; SPURIO, 2011). No Modelo Padrão, as interações entre os léptons são mediadas pela troca de bósons, sendo classificadas em: Interação Eletromagnética, Interação Forte e Interação Fraca. A primeira é responsável pelas interações entre partículas eletricamente carregadas, através do fóton (γ) (WEINBERG, 2005; BETTINI, 2024). A segunda é responsável por manter os quarks unidos dentro dos hádrons (prótons e nêutrons) e por contornar a repulsão eletromagnética entre prótons, interagindo através do glúon (g) (WEINBERG, 2005; BETTINI, 2024). Por fim, a integração fraca é responsável por processos como o decaimento beta e oscilações de neutrinos, que interagem através dos Bósons W e Z (WEINBERG, 2005; BETTINI, 2024). Apesar do *quark* compor a maior parte da massa observada no universo, os *léptons* não são compostos de *quarks*. As massas dos léptons são menores do que as dos *quarks*, sendo que os neutrinos caracterizam-se por serem os mais leves (WONG, 1998).

O Bóson de Higgs (H) está relacionado ao mecanismo que gera massa para partículas. Em 1964, físicos, como Peter Higgs, François Englert, Robert Brout, Gerald Guralnik, Carl Hagen e Tom Kibble, propuseram uma solução baseada na existência do campo de Higgs, que permeia todo o universo e interage com as partículas, gerando suas massas proporcionais ao acoplamento de cada partícula com o campo (HIGGS, 1964). Desta forma, o Bóson de Higgs não é uma partícula que atribui massa às outras, mas a interação das outras partículas elementares com este campo é o que lhes confere a propriedade que é identificada como massa.

Em 2012, a colaboração ATLAS e CMS do LHC anunciaram a descoberta do Bóson de Higgs, validando um dos elementos centrais do Modelo padrão (ATLAS Collaboration, 2012; CMS Collaboration, 2012). A busca pela descoberta do Bóson de Higgs culminou na construção do LHC, que foi projetado para colidir feixes de prótons a energia suficiente para excitar o campo de Higgs e produzir seus bósons (BETTINI, 2024). A descoberta do Bóson de Higgs foi desafiadora para o experimento, pois essa partícula é extremamente instável, decaindo quase instantaneamente em outras partículas mais leves e fáceis de detectar (como um par de fótons ou um par de bósons Z). Desta forma, os pesquisadores tiveram que analisar inúmeras colisões, procurando por um excesso estatisticamente significativo de seus produtos de decaimento com características consistentes com as do Bóson de Higgs.

2.2 O Acelerador LHC

O progresso da compreensão sobre a natureza ocorreu por meio da interação entre teoria e experimento. No campo da física de partículas elementares, os aceleradores de partículas foram fundamentais para a comprovação das teorias definidas pelo Modelo padrão, como também para motivar o desenvolvimento de teorias de física além desse modelo. Essas máquinas realizam a colisão de partículas carregadas em altas energias, de forma controlada, com o objetivo de investigar a estrutura da matéria e suas interações fundamentais. Sua operação baseia-se na aplicação de campos elétricos para acelerar partículas e campos magnéticos para guiá-las ao longo de trajetórias específicas (LEE, 2018).

O início dos experimentos com acelerados aconteceu no início da década de 1930 com o

Acelerador	Partículas colididas	Período de Operação
TEVATRON	p: 900 GeV / \bar{p} : 900 GeV	1987
SLC	e^+ : 50 GeV / e^- : 50 GeV	1989–1998
HERA	e: 30 GeV / p: 820 GeV	1992
LEP2	e^+ : 81 GeV / e^- : 81 GeV	1996–2000
PEP-II	e^- : 9 GeV / e^+ : 3.1 GeV	1999–2008
LHC	p: 7 TeV / \bar{p} : 7 TeV	2008 (em operação)

Tabela 1 – Exemplos de aceleradores de partículas (COTTINGHAM; GREENWOOD, 2023)

acelerador *Cockroft-Walton* em Cambridge, Reino Unido, e o *Cyclotron de Lawrence* em Berkeley, EUA. A máquina de Cambridge acelerava os prótons a 0,7 MeV e o primeiro *Cyclotron* de Berkeley acelerou os prótons a 1,2 MeV. Na Tabela 1 estão listados alguns exemplos de aceleradores com as informações das partículas operadas em cada um e suas respectivas energias de colisão e período de operação. Observa-se que o LHC surge com maior energia de colisão, da ordem de TeV, enquanto os antecessores operavam na ordem de GeV.

Os aceleradores, quanto às características construtivas, podem ser classificados como Lineares, Circulares, Síncrotrons e Colisores. Nos aceleradores lineares as partículas são aceleradas em linha reta, passando apenas uma vez pela estrutura do acelerador, através de cavidades ressonantes de radiofrequência (WIEDEMANN, 2015; MARTIN, 2009). Nos aceleradores circulares, as partículas percorrem trajetórias circulares enquanto recebem sucessivas acelerações a cada volta, mantendo sua trajetória via campos magnéticos, acumulando energia a cada passagem da estrutura de aceleração (WIEDEMANN, 2015; MARTIN, 2009). Os Síncrotrons são aceleradores circulares onde o campo magnético e a frequência do campo elétrico de aceleração são sincronizados com a energia do feixe, permitindo aceleração controlada a energias muito elevadas (MARTIN, 2009). Por fim, os Colisores são aceleradores que colidem feixes de partículas em direções opostas, maximizando a energia disponível no centro de massa, dessa forma, a energia combinada dos feixes de colisão está disponível no centro de massa para ser convertida em novas partículas. Em contrapartida, nos experimentos de alvo fixo, uma partícula de alta energia colide com um alvo estacionário, logo, a energia no centro de massa é menor do que nos colisores (MARTIN, 2009).

Diferentes laboratórios pelo mundo realizam pesquisas na área da física de partículas, dentre eles destacam-se: *European Organization for Nuclear Research* (CERN) (CERN, 2025), localizado na Suíça; *Deutsches Elektronen-Synchrotron* (DESY) (DESY, 2025), localizado na Alemanha; *High Energy Accelerator Research Organization* (KEK) (KEK, 2025), localizado no Japão; Fermilab (FERMILAB, 2016), localizado nos Estados Unidos; e *SLAC National Accelerator Laboratory* (SLAC, 2025), localizado nos Estados Unidos.

O CERN (Centro Europeu para Pesquisas Nucleares) apresenta-se como um dos maiores centros de pesquisas na área de física de partículas. Criado em 1954, localizado em Genebra, na fronteira Franco-Suíça, esse centro de pesquisas vem desenvolvendo experimentos fundamentais no que diz respeito à descoberta dos constituintes da matéria (CERN, 2025). No CERN foi projetado e desenvolvido o LHC, o maior acelerador de partículas já construído, tendo suas atividades iniciadas em 2008 (EVANS; BRYANT, 2008b; LHC-COLLABORATION, 2025b; LHC-COLLABORATION, 2025a). Esse acelerador tem a capacidade de gerar energia de colisão

de até 14 TeV¹ e possui um percurso circular de aproximadamente 27 km de comprimento e 100 m de profundidade (EVANS; BRYANT, 2008b). Na Figura 3 é mostrado o túnel do LHC.



Figura 3 – Fotografia do túnel do LHC (BIOT, 2007).

O LHC tem como objetivo provocar colisões próton-próton a uma velocidade igual a 99,9999% da velocidade da luz, para tentar recriar o ambiente frações de segundos após o *big bang* (BIOT, 2007). As colisões próton-próton tem uma luminosidade projetada de $10^{34} \text{cm}^{-2} \text{s}^{-1}$ enquanto que as colisões de íons pesados tem picos de luminosidade acima de $10^{27} \text{cm}^{-2} \text{s}^{-1}$ (PETTERSSON; LEFÈVRE, 1995).

A luminosidade gerada no LHC é definida pela equação 2.1, onde n representa o número de feixes de partículas, N_1 e N_2 o número de partículas por feixe, A a área da seção transversal do feixe e f a frequência de colisão.

$$L = n \frac{N_1 N_2}{A} f \quad (2.1)$$

A descoberta do Bóson de Higgs pelo LHC representa uma contribuição significativa para a física de partículas, pois confirma o mecanismo de Higgs definido no Modelo Padrão. Essa descoberta só foi possível devido aos níveis de energia de colisão que o LHC opera. Desta forma, para ampliar potencial de descobertas, foi definido um programa de atualizações para o LHC em que, a cada fase de operação, houvesse o aumento luminosidade instantânea (taxa de colisões) e da luminosidade integrada (número total de colisões) (ABERLE et al., 2020). Na Figura 4 está definido o cronograma de operação do LHC para as três primeira fases (*Run-1*, *Run-2* e *Run-3*) e a preparação para a *Run-4*, a fase de alta luminosidade, representando o projeto do *High luminosity LHC (HL-LHC)*.

Conforme observado na Figura 4, o LHC foi projetado para operar em diferentes fases de coleta de dados (Runs), intercaladas por períodos de manutenção e atualização (*Long Shutdown, LS*). Na fase inicial de operação, na *Run-1* (2010–2013), o LHC gerava colisões próton-próton

¹ O Elétron-volt é uma unidade de medida de energia que representa a quantidade de energia cinética de uma partícula. TeV representa Tera Elétron-volt e corresponde a 10^{12} elétrons-volt.



Figura 4 – O cronograma de operação do LHC para os três primeiros períodos de funcionamento e a preparação para a fase de alta luminosidade (HL-LHC) (BRÜNING; ZERLAUTH, 2025).

entre 7 TeV e 8 TeV no centro de massa) (ABERLE et al., 2020; BRÜNING; ZERLAUTH, 2025). Foi durante esta fase de coleta de dados que ocorreu a descoberta do bóson de Higgs em 2012. Na *Run-2*, o acelerador operou com uma energia no centro de massa de 13 TeV, quase o dobro da fase anterior. Com a energia mais alta e uma luminosidade significativamente maior, entre outros objetivos, focou-se no estudo detalhado das propriedades do Bóson de Higgs) (ABERLE et al., 2020; BRÜNING; ZERLAUTH, 2025). Atualmente em andamento, a terceira fase de coleta de dados, *Run-3*, opera com a energia de 13.6 TeV e com maior luminosidade. Esta fase visa aprofundar as medições da *Run-2*) (ABERLE et al., 2020; BRÜNING; ZERLAUTH, 2025).

Após a *Run-3*, o LHC passará por sua maior atualização, durante o *Long Shutdown 3* (*LS3*), para se transformar no *High-Luminosity LHC* (*HL-LHC*), com operação prevista para começar em 2030. A primeira fase de coleta de dados do HL-LHC é chamada de *Run-4*. Na *Run-4* o acelerador irá operar com energia nominal de 14 TeV e o número médio de interações por colisão aumentará das atuais 35 para 200 interações (ABERLE et al., 2020; BRÜNING; ZERLAUTH, 2025; COTTINGHAM; GREENWOOD, 2023). Esta fase impõe desafios estruturais para o acelerador, exigirá, por exemplo, uma completa reformulação dos detectores, intitulada de "*Phase-II Upgrade*" para lidarem com o ambiente de operação em alta luminosidade e com maior *pile-up* (empilhamento de eventos).

Os experimentos envolvendo aceleradores de partículas são compostos de diversos equipamentos, dentre eles os detectores de partículas. Os detectores precisam ter alta precisão para que as partículas detectadas possam ser adequadamente estudadas (MARTIN, 2009).

Para alcançar a precisão necessária nos experimentos, foram desenvolvidos diferentes tipos de detectores, sendo cada um específico para identificar determinadas características das partículas. São alguns exemplos: Detector a gás, responsável por detectar a ionização produzida pela passagem de uma partícula eletricamente carregada por um determinado gás; Contador de

cintilação, responsável por identificar a perda de energia que é convertida em luz e convertê-la em impulso elétrico; Calorímetro, usado para medir a energia e a posição da partícula através da absorção total de sua energia (MARTIN, 2009).

O LHC é composto por 6 experimentos, e estes têm a função de selecionar, a partir de um grande conjunto de eventos, aqueles de real interesse. Dentre os experimentos, destaca-se: ATLAS (AAD et al., 2008), ALICE (AAMODT et al., 2008), CMS (CHATRCHYAN et al., 2008), LHCb (JR et al., 2008). Na Figura 5 é ilustrada a distribuição física dos quatro maiores detectores ao longo do percurso do LHC.

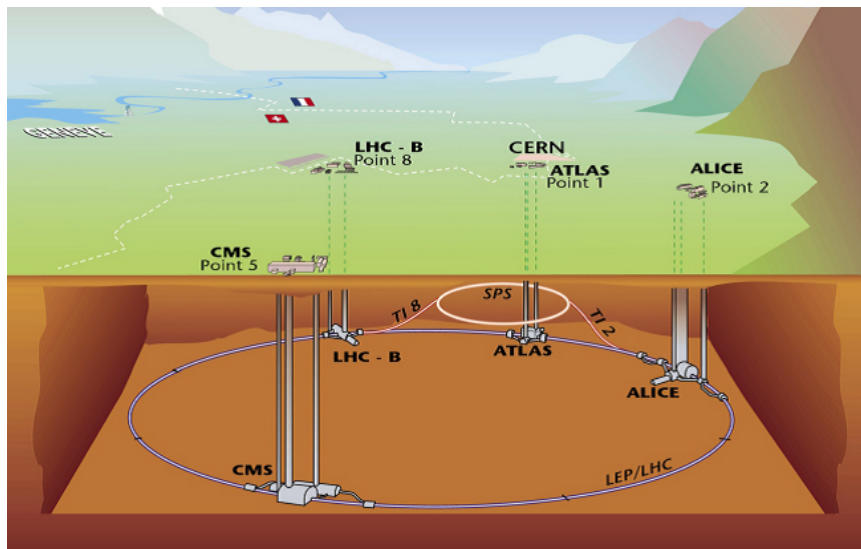


Figura 5 – Localização dos quatro maiores detectores do LHC ao longo do percurso do acelerador (Simas Filho, 2010).

Os experimentos ATLAS (*A Toroidal LHC Apparatus*) e CMS (*Compact Muon Solenoid*) são os dois maiores detectores de partículas de propósito geral instalados no LHC. Ambos foram projetados com o objetivo principal de investigar a física de partículas de alta energia. Apesar de terem arquiteturas e tecnologias de ímãs fundamentalmente diferentes, sendo que o ATLAS utiliza grandes ímãs toroidais e o CMS é formado por um ímã solenoide compacto, eles buscam essencialmente medir e analisar o mesmo conjunto de dados de colisões de prótons. Ambos possuem uma estrutura em camadas (detector de traços, calorímetros eletromagnético e hadrônico e espectrômetro de múons) para identificar e medir as propriedades das partículas resultantes das colisões (AAD et al., 2008; CHATRCHYAN et al., 2008). O LHCb (*Large Hadron Collider beauty*) é um detector especializado no estudo da assimetria matéria-antimatéria através de partículas contendo *quarks beauty* (JR et al., 2008). O ALICE (*A Large Ion Collider Experiment*) é otimizado para estudar o plasma de quarks e glúons a partir das colisões de íons de chumbo (AAMODT et al., 2008).

2.3 O Experimento ATLAS

O experimento ATLAS (*A Toroidal LHC Apparatus*) é um dos maiores e mais complexos instrumentos científicos já construídos e um dos dois grandes detectores de propósito geral instalados no LHC no CERN. Esse experimento foi projetado para lidar com os altos níveis de

energia de colisão e luminosidades do LHC, tanto para colisões de feixes de prótons como de íons pesados. Essas condições impõem requisitos rigorosos de desempenho para que o detector consiga registrar e identificar os dados gerados pelas colisões com alta eficiência e precisão (AAD et al., 2008).

Entre os principais objetivos do ATLAS destaca-se a análise detalhada do Modelo Padrão (MP) e, paralelamente, a execução de um vasto programa de pesquisa focado na física que se encontra para além desse modelo (COLLABORATION, 2025). Construído com o objetivo de extrair o máximo de informações das colisões das partículas, o ATLAS foi projetado com alta granularidade, ampla cobertura angular, excelente resolução em medidas de energia e momento, além de sofisticados sistemas de identificação de partículas como elétrons, fótons, jatos e múons. Em 2012, durante a *Run-1* do LHC, o ATLAS e o CMS foram responsáveis pela confirmação da existência do Bóson de Higgs (ATLAS Collaboration, 2012; CMS Collaboration, 2012). Essa descoberta representou uma das conquistas científicas mais significativas da física e resultou na conquista do Prêmio Nobel por Peter Higgs e François Englert em 2013 (The Nobel Prize, 2013).

O ATLAS é um detector com formato cilíndrico e com capacidade de cobrir um ângulo sólido próximo a 4π ao redor da região de colisão (Simas Filho, 2010). Esse detector foi projetado para reconstruir eventos de colisões no LHC (AAD et al., 2008). Construído com o objetivo de extrair o máximo de informações das partículas, o ATLAS é composto por diferentes sub-detectores, cada um responsável por identificar uma determinada característica de interesse (energia, carga elétrica, momento, etc.).

Dentre as características do detector ATLAS, destaca-se: sistema de calorimetria eletromagnética para medição e identificação de elétrons e fótons com alta performance; sistema de calorimetria hadrônica com total cobertura para medição precisa de energia transversa; alta precisão na medição do momento de múons; alta eficiência no sistema de medição e seleção das partículas, entre outras (AAD et al., 2008).

O ATLAS tem aproximadamente 44 metros de comprimento, 25 metros de altura e 7.000 toneladas, sendo assim o maior detector de propósito geral do LHC. Na Figura 6 é ilustrada a composição do ATLAS. Dentre os sub-detectores ilustrados na Figura 6, os principais são: detector de traços, detector de múons, calorímetro eletromagnético e o calorímetro hadrônico.

O Detector Interno (*Inner Detector*), localizado no centro do ATLAS, é responsável pela reconstrução das trajetórias de partículas carregadas e pela determinação precisa do seu momento e do vértice. O sistema desse detector é composto por três componentes principais: Pixel Detector, responsável por fornecer alta resolução espacial na região mais próxima ao ponto de colisão; Semiconductor Tracker (SCT), responsável por ampliar o rastreamento em uma região radial maior, contribuindo para medições precisas do momento; e o Transition Radiation Tracker (TRT) que permite a identificação de elétrons com base na radiação de transição (AAD et al., 2008; ATLAS Collaboration, 2017a).

O sistema de calorimetria do ATLAS, composto pelo Calorímetro Hadrônico e pelo Eletromagnético, têm a função de medir a energia das partículas e a posição de interação no detector (Simas Filho, 2010; PUZO, 2002). O calorímetro eletromagnético, projetado com alta

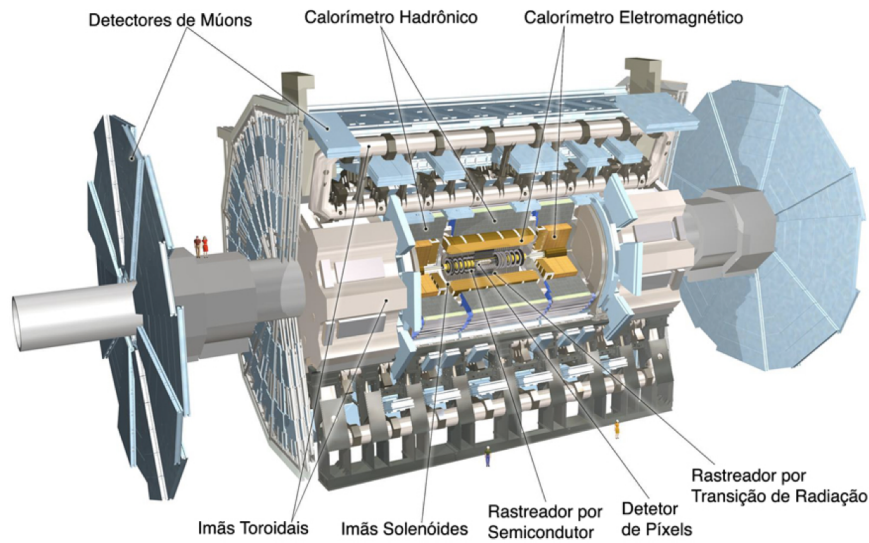


Figura 6 – O experimento ATLAS e seus componentes (ATLAS Collaboration, 2017c).

granularidade para medir com precisão a energia de elétrons e fótons, foi construído a base de argônio líquido (LAr), enquanto que o hadrônico, responsável por medir a energia de jatos e partículas hadrônicas, utiliza cintiladores com aço (*Tile Calorimeter*) e argônio líquido. Por fim, o detector de múons, localizado após os calorímetros, é responsável pela identificação e medição do momento de múons, que, por interagirem fracamente com a matéria, atravessam as camadas internas quase sem perda de energia (AIRAPETIAN et al., 1999; PONTECORVO, 2004; ATLAS Collaboration, 2017b).

Além dos detectores, o ATLAS possui também um sistema de seleção de eventos e aquisição de dados (*Trigger and Data Acquisition - TDAQ*). Devido à frequência de ocorrência de colisões do LHC, que é de 40 MHz, o ATLAS implementa um sistema de TDAQ para selecionar e registrar somente os eventos mais relevantes. O objetivo principal é reduzir a taxa de eventos de entrada para uma taxa de armazenamento viável, sem perder eficiência para os sinais de interesse (AAD et al., 2008; ATLAS Collaboration, 2017c).

Na Figura 7 é apresentado o sistema de coordenadas do ATLAS, sendo este um sistema cartesiano tridimensional (x, y, z) . O eixo x aponta do ponto de colisão para o centro do anel do LHC, enquanto que o eixo y é perpendicular ao plano do LHC e o eixo z é orientado ao longo do feixe de prótons (AAD et al., 2008).

O sistema de coordenadas do ATLAS utiliza também as coordenadas cilíndricas. O ângulo azimutal ϕ , obtido através da equação 2.2, é medido no plano transversal a partir do eixo x em direção ao eixo y , no sentido anti-horário (AAD et al., 2008; Simas Filho, 2010). A pseudo-rapidez η , medida em relação ao ângulo polar θ , define a direção de projeção das partículas após a colisão e está definida na Equação 2.3 (Simas Filho, 2010).

$$\phi = \arctan\left(\frac{x}{y}\right) \quad (2.2)$$

$$\eta = -\ln \tan\left(\frac{\theta}{2}\right) \quad (2.3)$$

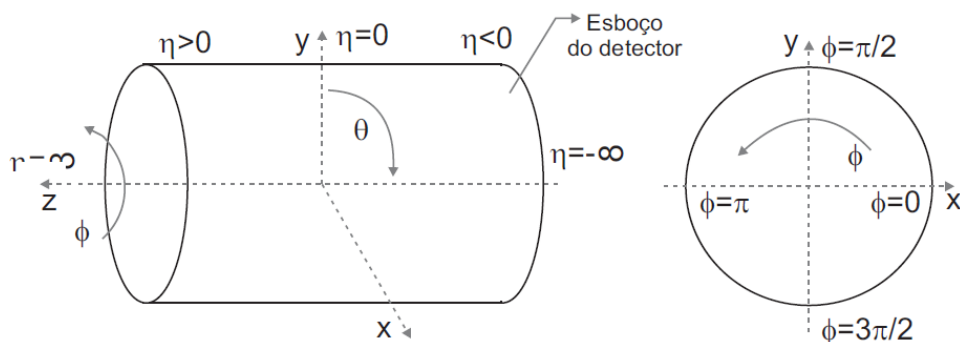


Figura 7 – Eixo de coordenadas do ATLAS (Simas Filho, 2010).

2.3.1 A Calorimetria do ATLAS

A calorimetria é uma área da física que trata da troca de energia entre elementos (LIVAN; WIGMANS, 2019). Inicialmente, os estudos nesse campo estavam voltados para fenômenos relacionados aos raios cósmicos. Após aperfeiçoamentos, a calorimetria passou a ser utilizada nos experimentos da física de partículas baseados em aceleradores (FABJAN; GIANOTTI, 2003).

Calorímetros (LIVAN; WIGMANS, 2019) são dispositivos utilizados para medir a energia das partículas, como elétrons, próton e hádrons (FABJAN; GIANOTTI, 2003). À medida que interagem com o material que compõe o calorímetro, as partículas vão perdendo energia (e consequentemente, velocidade) e ao final são totalmente absorvidas, sendo transformadas em energia mensurável pelo sistema eletrônico de medição. Esses equipamentos são utilizados em detectores e precisam ter alta precisão, para, assim, serem capazes de identificar o evento ao qual as partículas são associadas (MARTIN, 2009; LIVAN; WIGMANS, 2019).

As colisões que ocorrem na área do calorímetro geram um efeito conhecido como chuva de partículas carregadas, que tem sua energia absorvida ao longo da sua trajetória nas diversas camadas sobrepostas do calorímetro. Essa energia depositada na área ativa dos sensores é detectada sob a forma de carga elétrica ou luz (GRUPEN; SHWARTZ, 2008; LIVAN; WIGMANS, 2019). Efetuando a soma das medições de energia em todos os sensores do calorímetro, obtêm-se uma estimativa da energia total das partículas que colidiram (FABJAN; GIANOTTI, 2003). Esses dispositivos podem ser classificados em dois tipos: calorímetro eletromagnético e hadrônico. O primeiro é especializado na absorção de partículas eletromagnéticas, como os elétrons e fótons, enquanto que o segundo mede a energia de partículas de natureza hadrônica, como prótons e píons (FABJAN; GIANOTTI, 2003; GRUPEN; SHWARTZ, 2008).

Dentre as características que tornam os calorímetros elementos importantes no estudo da física de partículas, destaca-se (FABJAN; GIANOTTI, 2003; GRUPEN; SHWARTZ, 2008; LIVAN; WIGMANS, 2019):

- Calorímetros são sensíveis a quase todos os tipos de partículas, tanto carregadas, como neutras;
- São adaptados para experimentos de altas energias;
- Além de serem utilizados para medição de energia, podem funcionar, também, para detectar

a posição, direção e o tempo de chegada da partícula;

- São precisos na identificação e medição da energia de elétrons, fótons e jatos;
- A informação medida nos calorímetros pode ser utilizada para diferenciar os tipos de partículas com base na forma e extensão das chuvas de partículas nos detectores.

No contexto do experimento ATLAS, os calorímetros são fundamentais para: reconstrução de jatos, que resultam da hadronização de quarks e glúons; medição de elétrons e fótons, fundamentais para estudos do bóson de Higgs; identificação de eventos raros; entre outros (GRUPEN; SHWARTZ, 2008). Desta forma, as medições geradas pelos calorímetros são dados importantes para serem utilizados pelo sistema de seleção de eventos do detector. A Figura 8 ilustra a interação das partículas com os calorímetros do ATLAS. Observa-se que os fótons e elétrons têm suas energias absorvidas pelo calorímetro eletromagnético, enquanto que os prótons e nêutrons interagem com o calorímetro hadrônico. Nessa figura, são representadas também as partículas que não interagem, representadas por linhas tracejadas. O neutrino não interage com nenhum material, o nêutron não interage com o calorímetro eletromagnético e o fóton que não interage com o sistema de traços.

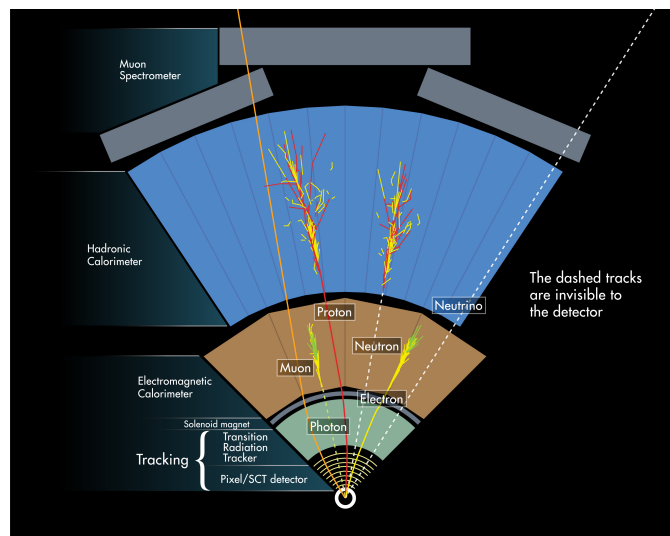


Figura 8 – Representação ilustrativa da interação das partículas com os calorímetros do ATLAS (PEQUENAO; SCHAFFNER, 2013).

O sistema de calorimetria do ATLAS, ilustrado na Figura 9, é composto pelos calorímetros hadrônico e eletromagnético com simetria e cobertura total em ϕ . Os calorímetros cobrem quase completamente o espaço sólido em torno do ponto de colisão, alcançando a região de pseudorapidez $|\eta| < 4,9$. Em cada região são utilizados materiais e tecnologias diferentes, de forma a otimizar e extrair máxima performance.

O sistema de calorimetria do ATLAS é dividido em diferentes regiões: barril (*barrel*), barril estendido (*extended barrel*) e Tampa (*end-cap*). O calorímetro eletromagnético (ECAL) está localizado na região mais central do calorímetro, cobrindo uma região de pseudorapidez de $|\eta| < 3,2$. Ele é dividido em Barril do Calorímetro Eletromagnético (EMB), região onde $|\eta| < 1,475$, e em suas Tampas do Calorímetro Eletromagnéticos (EMECs), onde $1,375 < |\eta| <$

3,2 (AIRAPETIAN et al., 1999; PUZO, 2002; AAD et al., 2008). O calorímetro hadrônico (HCAL) também cobre a região de pseudorapidez de $|\eta| < 3,2$. Por sua vez, dividido em três regiões: barril, região onde $|\eta| < 1,0$; a extensão do barril, na região $|0,8 < \eta| < 1,7$; e, por último, as Tampas do Calorímetro Hadrônico (HEC), região de $|1,5 < \eta| < 3,2$ (AIRAPETIAN et al., 1999; PUZO, 2002; AAD et al., 2008; ADRAGNA et al., 2006; AIRAPETIAN et al., 1999)

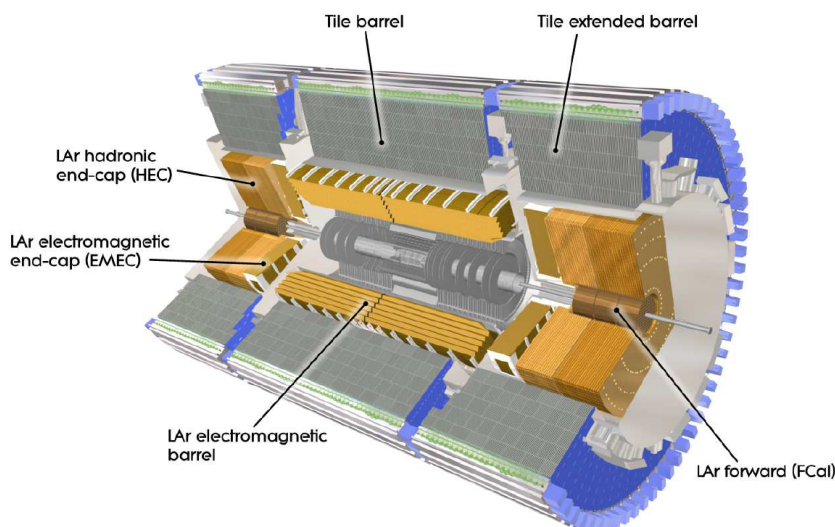


Figura 9 – Diagrama do sistema de calorimetria do experimento ATLAS (AAD et al., 2008).

Na Figura 10 é ilustrado um corte transversal no conjunto de calorímetros do ATLAS.

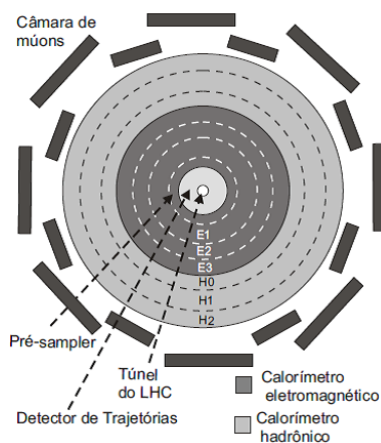


Figura 10 – Corte transversal do ATLAS (Simas Filho, 2010).

O calorímetro eletromagnético do ATLAS utiliza a tecnologia de argônio líquido (*LAr*, do inglês *Liquid Argon*) com absorvedores de chumbo, estruturados em finas folhas (AAD et al., 2008; Simas Filho, 2010). Ele é projetado para medir com alta precisão a energia de elétrons e fótons. Dividido em três camadas, esse calorímetro é responsável por medir o desenvolvimento longitudinal da parcela eletromagnética dos chuveiros desenvolvidos pelas partículas. De forma a obter melhor performance com alta granularidade, considerando suas respectivas regiões de pseudorapidez η , cada camada é constituída por diferentes geometrias de célula. Na primeira camada (EM1, *strips*), as células possuem formatos retangulares, apresentando alta granularidade em η (AAD et al., 2008). Na segunda camada (EM2) as células são quadradas, onde ocorre a maior parte da deposição de energia do chuveiro eletromagnético (AAD et al., 2008). Já as

células da terceira camada (EM3), possuem maior dimensão, ou seja, menor granularidade e são responsáveis por capturar as caudas do chuveiro (AAD et al., 2008). O *Pré-Sampler*, localizado anteriormente ao ECAL, na região onde $|\eta| < 1,8$, é responsável por corrigir medições quando ocorre perda de energia no caminho até os calorímetros (AIRAPETIAN et al., 1999). A estrutura de camadas e suas respectivas geometrias de células são apresentadas na Figura 11.

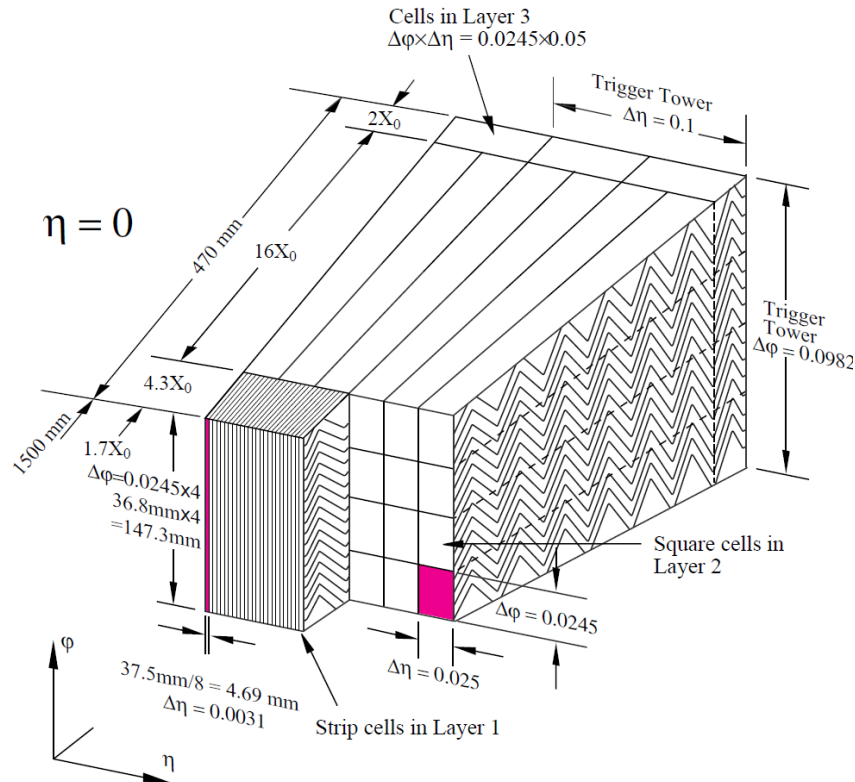


Figura 11 – Esboço da estrutura das camadas do ECAL e suas células (AAD et al., 2008).

O calorímetro hadrônico é constituído por placas absorvedoras de aço separadas por telhas de material plástico cintilante. Devido a essa estrutura, também é conhecido como calorímetro de telhas (*Tile Calorimeter* ou *TileCal*) (ADRAGNA et al., 2006). As partículas emitem luz ao passar pelas telhas cintilantes, sendo essa de intensidade proporcional à sua energia incidente (AAD et al., 2010; ADRAGNA et al., 2006). Essa luz é transportada para tubos fotomultiplicadores (PMT, do inglês *Photomultiplier Tubes*) através de fibras de deslocamento de comprimento de onda (WLS, do inglês *wavelength shifting*). Nos PMTs a luz é transformada em sinal elétrico (AABOUD; AL., 2018). O esquemático de um módulo de leitura do *TileCal* está ilustrado na Figura 12.

O *TileCal* é constituído de células detectoras cuja geometria é definida pelo agrupamento de fibras das telhas individuais no PMT correspondente (AABOUD; AL., 2018). A granularidade das células detectoras é diferente em cada camada. Na Figura 13 é ilustrada essa distribuição, para uma seção do *TileCal*. Observa-se que a primeira camada, de A1 até A10, apresentam mais sensores, sendo assim, apresenta uma maior precisão na identificação da posição de interação da partícula com o detector. A segunda camada, de BC1 até BC8 e B9, apresenta menos células sendo estas com maior profundidade e, sendo assim, absorvendo maior parcela de energia. A terceira e última camada, de D0 até D3, possui ainda menos sensores e são responsáveis por capturar os detalhes finais do “chuveiro” de energia (Simas Filho, 2010). As linhas tracejadas na

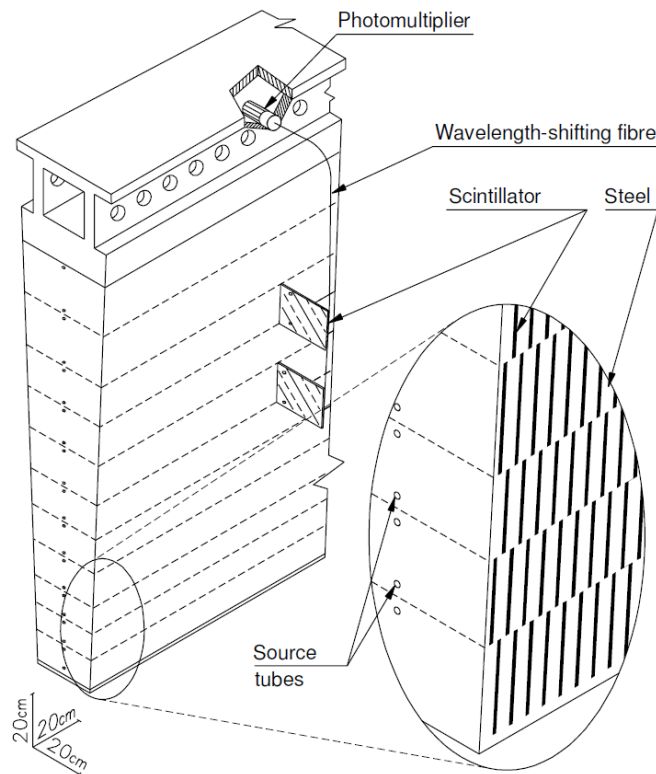


Figura 12 – Esquemático do conjunto mecânico e da leitura óptica do *TileCal* (AAD et al., 2010; AAD et al., 2008).

Figura 13 ilustram as possíveis trajetórias da partícula em relação às camadas.

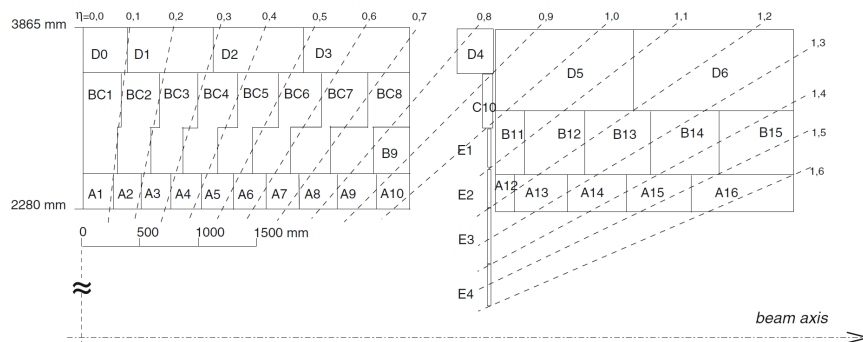


Figura 13 – A geometria das células do *TileCal* (AABOUD; AL., 2018).

O sistema de calorimetria do ATLAS é formado por células de diferentes geometrias, ou seja, cada região apresenta uma granularidade diferente, de acordo com a coordenada η onde a célula está localizada e a camada à qual pertence. A Tabela 2 apresenta as granularidades de cada camada do sistema de calorimetria do ATLAS.

Todos os calorímetros do ATLAS são integrados ao sistema de seleção de eventos e aquisição de dados (*Trigger and Data Acquisition - TDAQ*). Os dados gerados pela eletrônica dos calorímetros, ou seja, a medição da energia das partículas produzidas nas colisões do LHC, são transmitidas para o TDAQ de forma que desempenham um papel essencial na tomada de decisão dos eventos de interesse. O ambiente de operação do HL-LHC trás desafios para esse sistema, pois, o sistema de TDAQ será atualizado de forma que todos os dados gerados pelas colisões, a cada

Tabela 2 – Região de cobertura em η , granularidade das células (ou *hits*) e camadas utilizadas no ATLAS (MARIN, 2023).

Camada	Amostrador		Cobertura	Granularidade ($\Delta\eta \times \Delta\phi$)
Pré-amostrador	Barril	PSB	$0,00 < \eta < 1,58$	$0,025 \times 0,1$
	Tampa	PSE	$1,50 < \eta < 1,80$	$0,025 \times 0,1$
Calorímetro Eletromagnético				
Camada 1	Barril	EMB1	$0,00 < \eta < 1,55$	$0,003 \times 0,1$
			$1,37 < \eta < 1,80$	$0,003 \times 0,1$
	Tampa	EMEC1	$1,80 < \eta < 2,00$	$0,025 \times 0,1$
			$2,00 < \eta < 2,37$	$0,006 \times 0,1$
			$2,37 < \eta < 3,20$	$0,1 \times 0,1$
Camada 2	Barril	EMB2	$0,00 < \eta < 1,50$	$0,025 \times 0,025$
	Tampa	EMEC2	$1,35 < \eta < 2,50$ $2,50 < \eta < 3,20$	$0,025 \times 0,025$ $0,1 \times 0,1$
Camada 3	Barril	EMB3	$0,00 < \eta < 1,58$	$0,05 \times 0,1$
	Tampa	EMEC3	$1,35 < \eta < 2,50$ $2,50 < \eta < 3,20$	$0,05 \times 0,025$ $0,1 \times 0,1$
Calorímetro Hadrônico				
Camada 1	Barril	TileCal1	$0,00 < \eta < 1,09$	$0,1 \times 0,1$
	Barril Extendido	TileExt1	$0,94 < \eta < 1,77$	$0,1 \times 0,1$
	Tampa	HEC1	$1,50 < \eta < 2,50$	$0,1 \times 0,1$
			$2,50 < \eta < 3,20$	$0,2 \times 0,2$
Camada 2	Barril	TileCal2	$0,00 < \eta < 1,09$	$0,1 \times 0,1$
	Barril Extendido	TileExt2	$0,85 < \eta < 1,41$	$0,1 \times 0,1$
	Tampa	HEC2	$1,50 < \eta < 2,50$	$0,1 \times 0,1$
			$2,50 < \eta < 3,20$	$0,2 \times 0,2$
Camada 3	Barril	TileCal3	$0,85 < \eta < 0,72$	$0,2 \times 0,1$
	Barril Extendido	TileExt3	$0,85 < \eta < 1,41$	$0,2 \times 0,1$
	Tampa	HEC3	$1,50 < \eta < 2,50$ $2,50 < \eta < 3,20$	$0,1 \times 0,1$ $0,2 \times 0,2$

25 ns, terão que ser processados pelo sistema de *Trigger* e também porque algoritmos que antes atuavam de forma offline, em software, precisarão ser executados de forma online. As seções seguintes abordarão a estrutura do TDAQ que irá operar em condições de alta luminosidade do LHC.

2.3.2 O Sistema de Trigger

O sistema de *Trigger* e Aquisição de Dados (*TDAQ*) do experimento ATLAS é responsável pela seleção e gravação de eventos de interesse gerados produzidos pelas colisões do LHC. Diante do projeto do *High-Luminosity LHC* (HL-LHC), previsto para entrar em operação em meados da década de 2030, o ATLAS enfrenta desafios como: o aumento da luminosidade instantânea para até $7,5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ e a ocorrência de até 200 interações simultâneas por cruzamento

de feixes (ATLAS Collaboration, 2017c). Esses fatores exigem a atualização do *TDAQ* para lidar com maiores taxas de dados, maior complexidade dos eventos e a exigência de menor latência. A atualização do *TDAQ* permitirá que o HL-LHC alcance seus objetivos planejados, que incluem uma exploração detalhada do mecanismo de quebra de simetria eletrofraca através das propriedades do bóson de Higgs, buscas por nova física através do estudo de processos raros do Modelo Padrão, buscas por novos estados pesados e medições das propriedades de quaisquer partículas recém-descobertas (ATLAS Collaboration, 2017c). Diante desse contexto, a atualização do *TDAQ* tem o objetivo de projetar, construir e instalar um novo hardware de *trigger* e aquisição de dados, juntamente com seu firmware e software.

O novo *TDAQ* foi projetado para possuir um único nível de *trigger* de hardware, projetado para operar a uma taxa máxima de 1 MHz e com uma latência de $10 \mu\text{s}$. Após essa primeira seleção de hardware, um sistema de software, auxiliado por um co-processador de traçagem baseado em hardware, realiza uma reconstrução mais detalhada para alcançar uma maior rejeição de fundo, enviando até 10 kHz de eventos para o armazenamento permanente. A arquitetura do novo *TDAQ* é dividida em três sistemas principais: o Sistema de *Trigger* de Nível 0, o Sistema de Aquisição de Dados (*DAQ*) e o Sistema de Filtro de Eventos (*EF*). Na Figura 14, é apresentada a arquitetura proposta para a atualização do *TDAQ* para operar na *Run-4*, a fase de operação do *HL-LHC*.

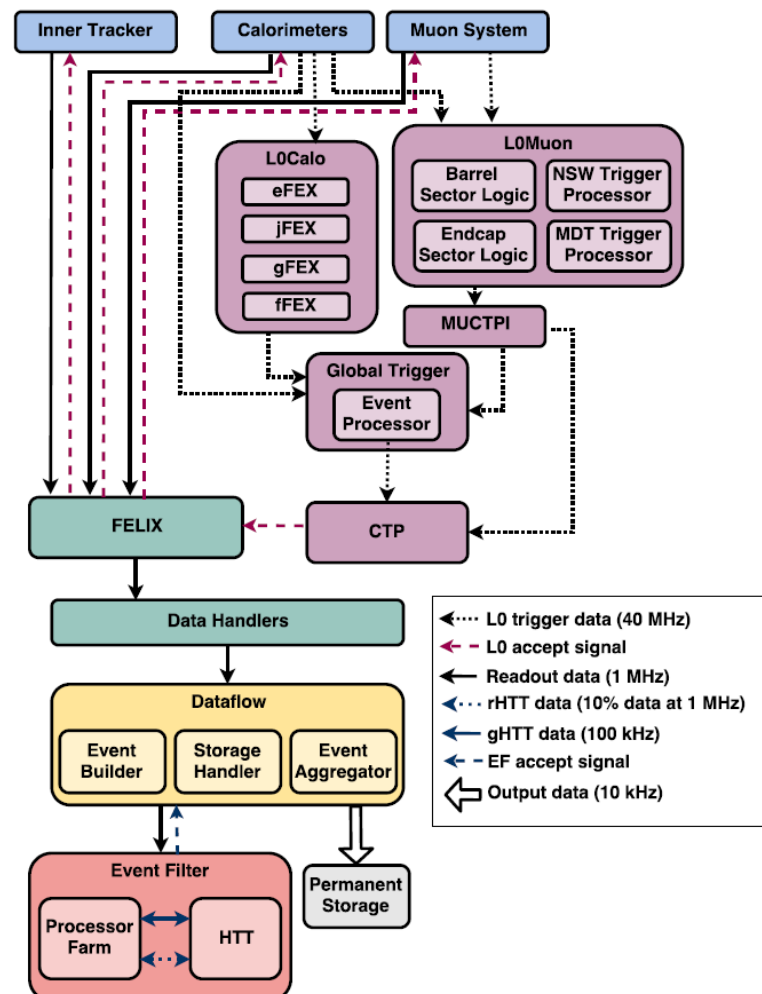


Figura 14 – Diagrama do novo sistema de *Trigger* do ATLAS para a *Run-4* (ATLAS Collaboration, 2017c).

O *trigger* de hardware de Nível 0 é responsável pela primeira seleção rápida de eventos, utilizando informações dos calorímetros e do espectrômetro de múons. Esse nível é composto pelo *L0Calo* (*Trigger* de Calorímetro de Nível 0), *L0Muon* (*Trigger* de Múons de Nível 0), *MUCTPI* (Interface Múon-CTP), *Global Trigger* e *CTP* (Processador de Trigger Central) (ATLAS Collaboration, 2017c). O *L0Calo* Utiliza os processadores da Fase I (eFEX, jFEX, gFEX) e os complementa com um novo componente, o fFEX, para reconstruir jatos e elétrons frontais. O *L0Muon* é composto por processadores lógicos do setor de barril e tampa final, pelos processadores de trigger NSW e MDT que atuam na identificação e seleção dos múons. O MUCTPI é responsável por processar a informação dos subsistemas de *trigger* de múons antes de enviá-la ao Global Trigger e ao CTP. O *Global Trigger* é um novo componente que utiliza dados de granularidade total dos calorímetros para executar algoritmos antes implementados de forma *offline*, em software, refinar os objetos de *trigger* calculados pelo L0Calo e L0Muon e executa algoritmos topológicos. Por fim, o CTP atua para evitar a saturação nos sistemas de front-end e de leitura e na tomada da decisão final do Nível 0, com base nos dados recebidos pelo *Global Trigger*.

O sistema *DAQ* é responsável pelo transporte e armazenamento dos dados dos eventos aceitos pelo *trigger* de Nível 0. Seus componentes são baseados em servidores de computadores pessoais e infraestrutura de rede, sendo divididos em *Readout* e *Dataflow*. Esses elementos estão identificados de verde na Figura 14. O *Readout* é formado pelo componente *FELIX* (*Front-End Link Exchange*), que serve como uma interface comum entre os links seriais customizados dos detectores e a rede de dados, e pelo *Data Handlers*, que recebem os dados do *FELIX* e que realizam processamento específico do detector, como formatação e monitoramento, antes de enviá-los para o *buffer*. O *Dataflow*, identificado de amarelo na Figura 14, é composto pelo *Event Builder*, que agrega os fragmentos de dados de um evento, pelo *Storage Handler*, que armazena os dados em *buffer*, e pelo *Event Aggregator*, que prepara os eventos aceitos para o armazenamento permanente.

O Sistema de Filtro de Eventos (EF) é responsável por refinar a seleção de eventos. Esse sistema recebe como entrada os dados dos detectores dos eventos aceitos pelo *trigger* de hardware anterior a uma taxa de 1 MHz e faz a seleção dos eventos de maior interesse, descartando os demais, a uma taxa de 10 KHz 14. O EF é composto por um conjunto de processadores (Processor Farm) e pelo *Hardware-based Tracking for the Trigger* (HTT) 14. O primeiro consiste em CPUs onde rodam os algoritmos de seleção de alto nível, que são muito similares ou idênticos aos algoritmos de reconstrução offline. O HTT (Hardware-based Tracking for the Trigger) consiste em um co-processador de hardware customizado que fornece reconstrução de traços de partículas carregadas para o EF. O HTT possui capacidades de traçagem regional (rHTT), usada para uma rejeição inicial rápida a 400 kHz, e de varredura global (gHTT), usada para análises mais precisas a uma taxa de 100 kHz. Os eventos selecionados pelo EF são, então, transferidos para o armazenamento permanente do sistema de computação off-line do ATLAS. Espera-se que o tamanho do evento de saída bruta seja de 6 MB e que a saída total do acionador seja de 10 kHz, portanto, a largura de banda total do sistema é de 60 GB/s.

2.4 O Global Trigger

Uma das contribuições dessa tese consiste no desenvolvimento do *firmware*, para FPGA, de um dos algoritmos de seleção de elétrons candidato para ser usado na fase de operação da *Run-4*. Desta forma, como esses algoritmos serão embarcados no *Global Trigger*, torna-se necessária a descrição sobre esse componente de hardware do novo TDAQ.

Como parte da atualização do TDAQ do ATLAS, o *Global Trigger* é um subsistema de hardware inteiramente novo, projetado para trazer uma capacidade de seleção de eventos semelhante à do Filtro de Eventos (*Event Filter*) para o hardware do sistema de *trigger* de Nível 0 (ATLAS Collaboration, 2017c; BEGEL; SANKEY, 2021c; BEGEL; SANKEY, 2021a; BEGEL; SANKEY, 2021b). A topologia do *Global Trigger* consiste em uma camada de nós de multiplexação (MUX) que recebem os dados do sistema de calorimetria, enviando-os para uma camada de nós de processamento (*GEP - Global Event Processor*), onde cada nó *GEP* recebe os dados completos do evento. Um nó de interface (*CTP Interface*) realiza a demultiplexação, enviando os resultados para o Processador de *Trigger* Central (*CTP*). Essa estrutura é implementada usando um hardware comum, o *Global Common Module* (GCM), o que simplifica o projeto do sistema, a manutenção a longo prazo e a complexidade do *firmware*. Na Figura 15 está apresentado o diagrama funcional do *Global Trigger*.

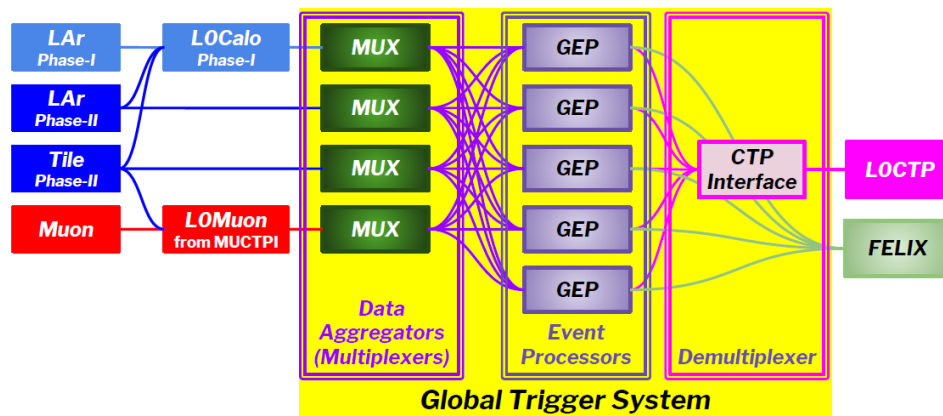


Figura 15 – Diagrama funcional do sistema do *Global Trigger* (ATLAS Collaboration, 2017c; BEGEL; SANKEY, 2021c).

A Figura 16 ilustra a multiplexação de dados de entrada na camada GEP. Cada detector e sistema de *trigger* envia seus dados a cada *bunch crossing* com um pacote por fibra óptica para os nós do MUX. O MUX recebe esses pacotes de dados de todas as fibras ópticas de entrada de forma síncrona, coleta-os e reorganiza-os e, em seguida começa a transmitir todos os dados de eventos de uma BC específica para um nó GEP. No próximo BC, os dados do próximo evento são capturados nos *buffers MUX* para o próximo nó GEP e a transmissão dos dados para esse nó é iniciada.

A arquitetura do *Global Trigger* agrega os dados de *trigger* para cada evento em um único nó de processamento GEP, maximizando a flexibilidade e minimizando o processamento distribuído. Como o número de fibras de entrada excede a capacidade de qualquer dispositivo único, os dados são multiplexados no tempo. Os dados de um *bunch crossing* específico são recebidos por um camada *MUX* e retransmitidos ao longo de vários cruzamentos de feixe para

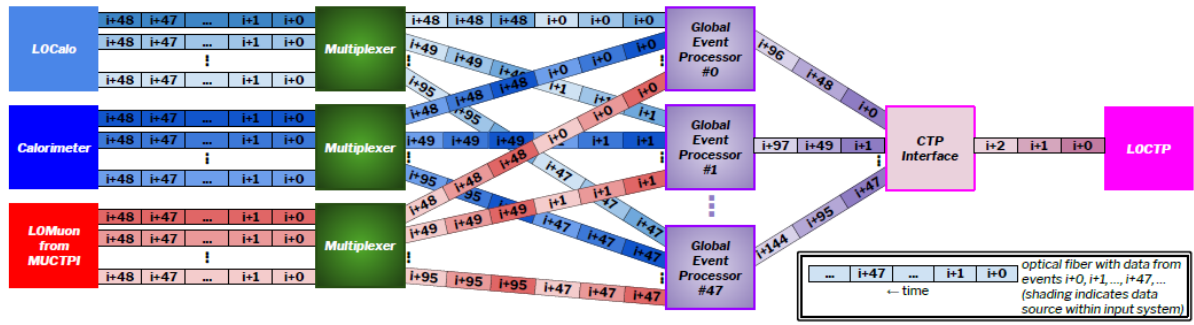


Figura 16 – Multiplexação de dados de entrada do GEP (ATLAS Collaboration, 2017c; BEGEL; SANKEY, 2021c).

um único *GEP* de destino. Essa arquitetura desacopla o processamento do *GEP* da taxa de cruzamento de feixes do LHC, permitindo o uso de algoritmos complexos e assíncronos que se aproximam do processamento de *trigger* no Filtro de Eventos (ATLAS Collaboration, 2017c; BEGEL; SANKEY, 2021c).

Os requisitos funcionais projetados para o *Global Trigger* envolvem: Receber e processar os dados de *trigger* dos subsistemas de calorímetro para produzir objetos de *trigger* (*TOBs*); Receber *TOBs* do sistema *L0Calo FEX* e do *L0Muon* (via *MUCTPI*); Multiplexar os dados de entrada para transmissão e processamento serial; Aplicar algoritmos e hipóteses de *trigger* do tipo *EF* em seleções adequadas desses *TOBs*; e Transmitir os bits de entrada de *trigger* do *Global Trigger* (*TIP*) resultantes para o *CTP* para processamento. Além dos requisitos mínimos, o projeto oferece oportunidades de física estendidas, como o acesso a dados de células de granularidade total dos calorímetros a 40 MHz e a capacidade de usar algoritmos iterativos de alto nível, impossíveis no *trigger* de *hardware* da Fase I.

Para atender aos requisitos funcionais estabelecidos, uma estrutura de hardware, baseada em um único projeto de módulo comum, o *Global Common Module* (*GCM*), foi projetada. O *GCM* é composto por uma placa ATCA que hospeda dois FPGAs grandes, em que cada FPGA pode ser configurado como um nó de MUX, *GEP* ou *CTP*, e um chip de processamento central (como um ZYNQ MPSoC) para monitoramento, controle e leitura. O sistema de hardware é composto por: 47 nós MUX (24 módulos *GCM*) para multiplexação de entrada; 48 nós *GEP* (24 módulos *GCM*) para processamento de eventos; e 1 nó de Interface *CTP* (1 módulo *GCM*) para demultiplexação de saída.

A Figura 17 ilustra o esquemático da estrutura física do *Global Common Module*. Ela demonstra conceitualmente como as interfaces de E/S, multiplexação, processamento de eventos e demultiplexação podem ser obtidos com um projeto de módulo único. Cada etapa requer um número significativo de links ópticos, recursos de processamento integrados e controle central.

2.5 O Sistema Eletrônico do *TileCal*

Outra contribuição dessa tese é a implementação, em FPGA, de algoritmos de estimação de energia para serem embarcados no novo sistema eletrônico do *TileCal*. Na atualização da eletrônica do detector para a fase de alta luminosidade, a eletrônica do *TileCal* será atualizada e

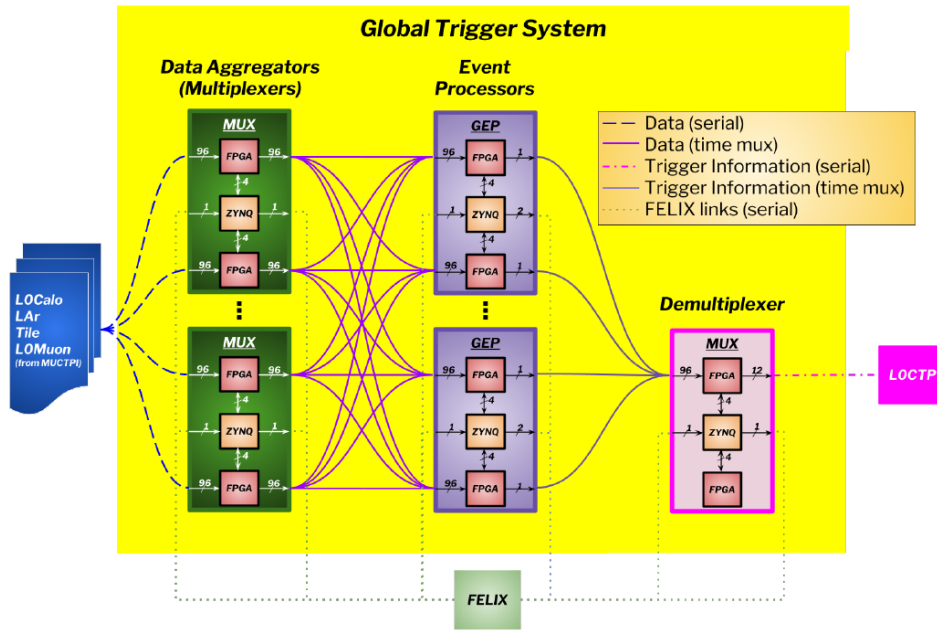


Figura 17 – Diagrama do esquema do *Global Common Module (GCM)* (ATLAS Collaboration, 2017c; BEGEL; SANKEY, 2021c).

um componente de hardware, baseado em *FPGA*, implementará a técnica de estimação de energia para lidar com o ambiente de *pileup*. Dentre os principais objetivos dessa atualização, destaca-se: melhorar o desempenho do nível 1 do *trigger*, aumentar a confiabilidade, melhorar a precisão das informações e a relação sinal-ruído (SNR, do inglês *Signal-to-Noise Ratio*) (CERQUEIRA, 2013; NKADIMENG, 2023). Por isso, torna-se necessário descrever a eletrônica do *TileCal*.

Para alcançar o desempenho desejado, o sistema de seleção de eventos precisa ter acesso a mais informações e, conseqüentemente, ter maior capacidade de processamento para a execução de algoritmos mais complexos (CERQUEIRA, 2013). Esse novo cenário de operação do ATLAS, considerando a atual arquitetura de funcionamento, provocará um problema no sistema de seleção de eventos: o empilhamento de informações subsequentes, também conhecido como *pileup*. Esse problema irá afetar, diretamente, o funcionamento do sistema de seleção, pois provocará a distorção do padrão dos eventos. O problema de empilhamento ocorre devido ao tempo de resposta dos sensores do *Tilecal*. Como pode ser observado na Figura 18, o pulso típico desses sensores tem duração da ordem de 150 ns.

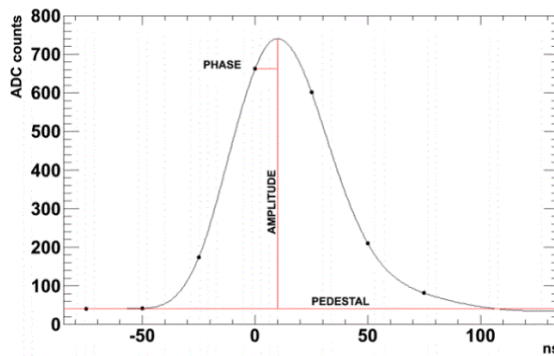


Figura 18 – Representação gráfica da Resposta ao Impulso Típica de um sensor (CAVALCANTI et al., 2014).

A frequência de ocorrência de colisões entre pacotes no LHC é de 40 MHz. Dessa forma, o intervalo entre duas colisões é de 25 ns. Um mesmo sensor permanece sensibilizado por até 6 colisões consecutivas. Na Figura 19 é ilustrado (através de simulação) o efeito do empilhamento em um sensor do *Tilecal*.

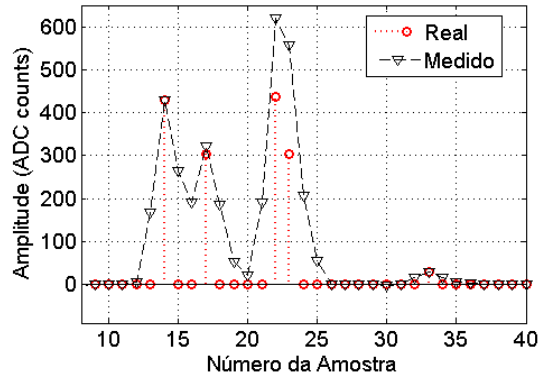


Figura 19 – Representação gráfica do efeito de empilhamento de sinais medidos (CAVALCANTI et al., 2014).

A ocorrência do *pileup* está diretamente relacionada a alteração da quantidade de interações por cm^2 por segundo proposta pelo programa de atualização do detector. O aumento da luminosidade durante as fases de atualização do LHC acarretará no aumento da quantidade de colisões próton-próton por feixe. A operação do LHC em sua configuração final, com pico de luminosidade instantânea de cinco a sete vezes acima do seu projeto original, é esperada para a segunda metade de 2026. Nesta fase serão geradas até 200 colisões próton-próton por cruzamento de feixe (ATLAS Collaboration, 2017c). Considerando que o acelerador continuará operando a 40 MHz e serão gerados mais eventos por *bunch crossing* em relação a sua fase inicial, pode-se verificar que aumentará a probabilidade de ocorrência da sobreposição.

Para alcançar os objetivos do programa de atualização do LHC, a colaboração do ATLAS propôs alterações no primeiro nível do sistema de *trigger* do detector. Na configuração atual, este nível é alimentado por sinais resultantes de somadores analógicos, os quais têm como entradas as informações dos tubos fotomultiplicadores. Esses somadores são responsáveis por compactar a informação, reduzindo o tempo de resposta. A alteração propõe que o primeiro nível de decisão opere com granularidade total, ou seja, utilize todas as amostras de cada uma dos PMTs, com isso, aumentando a eficiência de seleção dos eventos de interesse. Na Figura 20 é ilustrada a arquitetura atual desse nível, baseado em calorimetria, e na Figura 21 a nova arquitetura proposta.

Devido às novas fases de operação, além da modificação do sistema eletrônico, torna-se necessário remodelar o processo de filtragem do sinal para o nível 1 de *trigger*. A técnica utilizada atualmente, o Filtro Casado (GARVEY; REES, 1996; HADLEY, 2010; TREES, 2001), não é eficiente considerando o novo cenário de operação devido a distorção do sinal (*pileup*). Com isso, uma alternativa para a técnica de estimação de energia precisa ser desenvolvida e embarcada na nova eletrônica do detector.

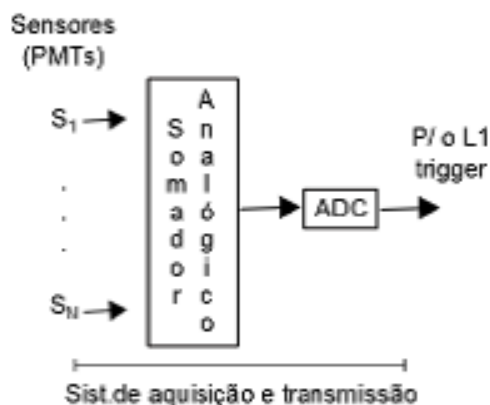


Figura 20 – Arquitetura do *Trigger* L1 baseado em calorimetria atual (CAVALCANTI et al., 2014).

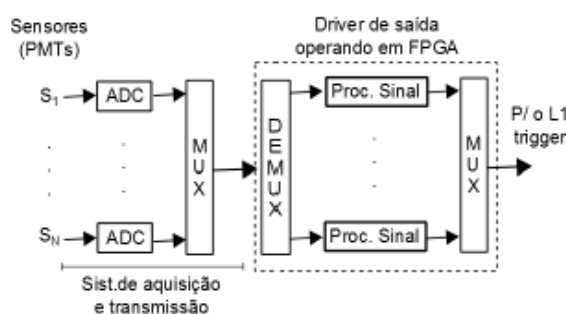


Figura 21 – Arquitetura do *Trigger* L1 baseado em calorimetria em desenvolvimento (CAVALCANTI et al., 2014).

2.5.1 Sistema Eletrônico Atual do Primeiro Nível de Trigger do *TileCal*

O sistema que compõe o Calorímetro Hadrônico do ATLAS, o *TileCal*, é dividido em uma parte óptica, uma eletrônica de *Front-End* (FE) e de digitalização e, por fim, uma eletrônica de *back-end* (BIOT, 2007; CERQUEIRA, 2012). A primeira é responsável por transmitir a luz depositada pelas partículas durante o seu trajeto para as Fotomultiplicadoras, onde são transformadas em pulsos elétricos (BIOT, 2007). A eletrônica de *front-end* e de digitalização está localizada em uma estrutura de gavetas removíveis, com a finalidade de facilitar sua montagem e manutenção. Como pode ser observado na Figura 22, as gavetas do sistema de *front-end* e digitalização são compostas por cinco elementos, são eles: Fotomultiplicadora (PMT), Placa Mãe (*Motherboard*), Digitalizador (*Digitizer*), Unidade de gerenciamento de informações (DMU) e Placa de Interface (*Interface Board*) (BIOT, 2007).

Na Figura 23 é possível identificar o caminho do sinal na arquitetura atual do sistema eletrônico do ATLAS no nível 1. Nessa arquitetura, os sinais do primeiro nível são produzidos por somas analógicas de seis sinais de energia, tendo suas saídas transmitidas para o nível 1. Quando ocorre um evento físico, gera-se um sinal óptico no calorímetro, que é transmitido para a eletrônica de *Front-End*. Nessa etapa, o *mixer* realiza a mistura das informações das fibras de uma célula, que é enviada para a PMT. Os sinais transformados em energia pelas PMTs são processados pelo cartão 3 em 1 que tem como funcionalidades disponibilizar pulsos com ganho baixo e alto para a digitalizadora, carregar a injeção de sinais para calibração e realizar a integração dos sinais da PMT para calibração e monitoramento. Após o processamento do cartão

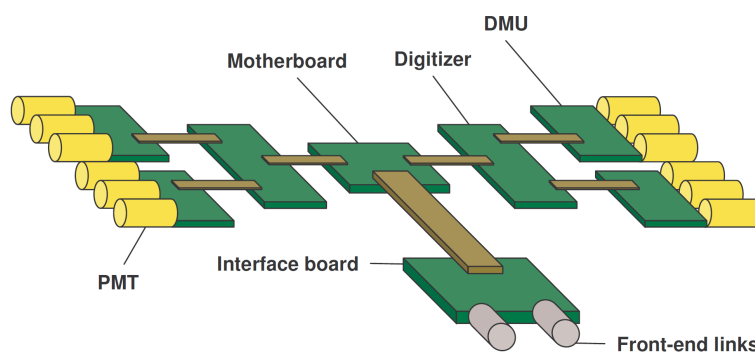


Figura 22 – Esquemático da eletrônica de uma gaveta do *TileCal* (BIOT, 2007).

3 em 1, os sinais são digitalizados a 40 MHz por ADCs de 10 bits. Por fim, os sinais digitalizados das células de um evento selecionado pelo primeiro nível são transmitidos para a eletrônica de *Back-End*.

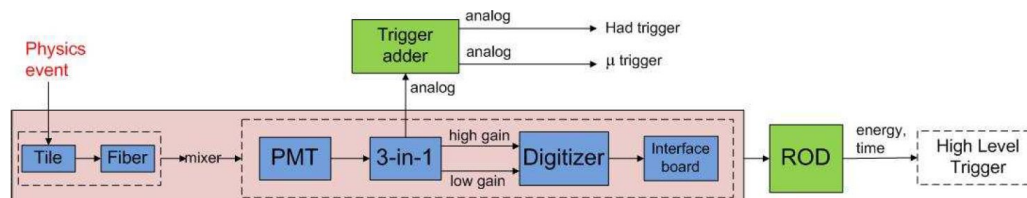


Figura 23 – Representação gráfica do caminho do sinal na arquitetura atual do *TileCal* (CERQUEIRA, 2013).

Nessa arquitetura do sistema eletrônico do *TileCal*, o nível 1 do *Trigger* é alimentado com os sinais analógicos provenientes das estruturas de soma analógica, ou seja, das torres de *trigger*. Esses dispositivos são constituídos de somadores de alto desempenho e um circuito adicional de linha de condução (CERQUEIRA; SEIXAS; CALOBA, 2007). As informações resultantes desse sistema, que representam combinações das camadas de segmentação do calorímetro, contribuem com a redução da quantidade de sinais processados nesta etapa, reduzindo para uma taxa de 75 kHz (CERQUEIRA; SEIXAS; CALOBA, 2007). Sendo assim, esse nível define as regiões de interesse a partir de combinações de sinais, ou seja, com reduzida granularidade (CERQUEIRA; SEIXAS; CALOBA, 2007).

2.5.2 Proposta de Atualização do Sistema Eletrônico do *TileCal*

O processo de atualização da eletrônica do *TileCal* visa aumentar a quantidade de informações enviadas para o primeiro nível do sistema de seleção de eventos, o L0. Nessa proposta, os sinais provenientes das colisões não poderão ser combinados pelos somadores analógicos.

O programa de atualização do *TileCal* propõe modificações em todo o sistema eletrônico do detector, tanto no *Front-end* como no *Back-end*, inclusive estuda-se realizar alterações também em seu sistema mecânico, além das atualizações necessárias no sistema de fontes de alimentação (CERQUEIRA, 2013; RAPHEEHA, 2025; DUATO, 2025). Na Figura 24 pode-se observar o caminho da informação na proposta de atualização dos sistemas eletrônicos do *TileCal*.

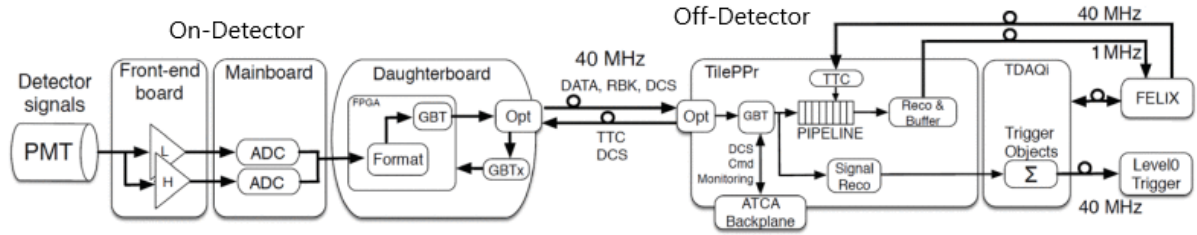


Figura 24 – Diagrama do caminho da informação na atualização dos sistemas eletrônicos do *TileCal* (CARRIÓ, 2022)

O sistema de aquisição de dados atualizado para o *TileCal*, apresentado na Figura 24, foi projetado para atender às exigências de alto desempenho da nova arquitetura do Sistema de *Trigger* e Aquisição de Dados do ATLAS para o HL-LHC. Ele apresenta uma arquitetura de *trigger* totalmente digital, com eletrônica *On-detector* (no detector), sendo responsável pela amplificação do sinal, digitalização e transmissão de dados. Para o lado *Off-detector* (fora do detector), o sistema reconstrói a energia e o tempo por célula do calorímetro e produz primitivas de *trigger* para o *Level-0* do sistema de *trigger* do ATLAS utilizando algoritmos de filtragem digital (CARRIÓ, 2022; DUATO, 2025).

Através da Figura 24 pode-se observar que a eletrônica embarcada no detector, representada pela região *On-Detector*, é composta por: PMT, uma nova placa de *Front-End*, uma placa principal, do inglês *Main Board* (MB) e uma placa filha, do inglês *Daughter Board* (DB). Um bloco PMT é composto por um misturador de luz, um PMT, um divisor ativo de alta tensão e uma placa frontal (*Front-End*) analógica responsável pela calibração e modelagem de sinal. A estrutura da *Front-End Board* implementa dois caminhos de sinais, o primeiro para leitura rápida, que digitaliza sinais físicos a uma frequência de 40 MHz, e o segundo é o caminho de leitura do integrador, que integra continuamente a corrente do PMT (CARRIÓ, 2022; DUATO, 2025).

A *Main Board* é responsável pela digitalização dos sinais da PMT. Para o caminho de leitura rápida, a placa usa ADCs de 12 bits e canal duplo operando a 40 MHz, proporcionando digitalização de alta resolução dos sinais. Por fim, a *Daughter Board* é responsável pela comunicação, em alta velocidade, entre os componentes eletrônicos da região *On-Detector* e *Off-Detector* (CARRIÓ, 2022; DUATO, 2025).

A eletrônica de *Back-End*, representada pela região *Off-Board* na Figura 24, é responsável pela reconstrução da energia e pela geração de primitivas de *trigger* para o primeiro nível do sistema de *trigger* do ATLAS. Essas primitivas são calculadas usando algoritmos digitais e, em seguida, enviadas ao sistema de *trigger*, enquanto que o conjunto de dados completo é armazenado temporariamente em *buffers* de pipeline, aguardando uma decisão de *trigger*. Dentre as funções dessa eletrônica de componentes não embarcados no detector, destaca-se: processamento e recepção da informação proveniente das placas filhas (*Daughter Boards*); Reconstrução e envio dos sinais para o sub-sistema de saída (do inglês *ReadOut Subsystem - ROS*); pré processamento e transmissão da informação para o nível L0 do sistema de seleção de eventos; implementação de algoritmos de reconstrução de sinal; entre outras (HARKUSHA; COLLABORATION, 2016; CARRIÓ, 2022; DUATO, 2025).

Como pode ser visto na Figura 25, a placa da *TilePPr* é composta por: módulos *QSFP* (do inglês *Quad Small Form-factor Pluggable*), responsáveis pela comunicação com a eletrônica de *Front-End*; dispositivos *FPGA*, responsáveis pelo pré processamento e envio da informação para o nível L0 do *Trigger*, pela compactação e descompactação das informações de energia e controle, armazenamento dos sinais em memórias, recebimento e decodificação das informações de controle, temporização e seleção, entre outras (VALERO; COLLABORATION, 2015; HARKUSHA; COLLABORATION, 2016; CARRIÓ et al., 2014). Além desses elementos, a placa possui ainda módulos para gerenciamento de energia, comunicação *Ethernet*, memórias *DDR3*, entre outros.

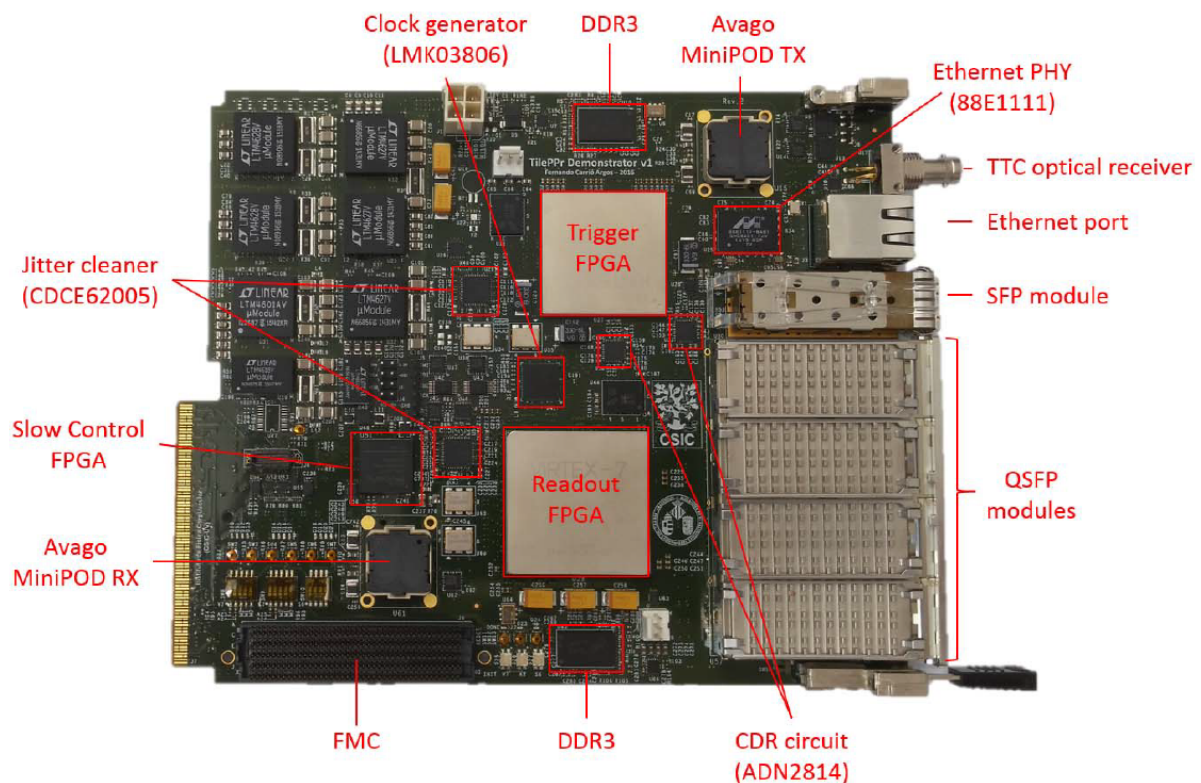


Figura 25 – Protótipo *TilePPr* para Atualização do Sistema Off-Board (CARRIÓ, 2022)

Essas alterações nos sistemas eletrônicos do *TileCal* afetarão o funcionamento do primeiro nível do sistema de seleção de eventos. Na arquitetura anterior, esse nível recebia os sinais provenientes da placa analógica somadora. Com a retirada da mesma, deverão ser processados todos os eventos gerados pelas colisões. Dessa forma, a *TilePPr* será responsável por estimar a energia da célula de cada *bunch crossing* a uma taxa de 40 MHz.

Nesse cenário, este trabalho concentra-se na implementação de métodos de estimação de energia por *bunch crossing* no primeiro nível de *Trigger* em *FPGA*. É proposta, assim, uma solução que atende as especificações do projeto *TilePPr* desenvolvido pelos pesquisadores da colaboração ATLAS.

3 Técnicas de Estimação de Energia e Seleção de Elétrons

Duas contribuições dessa tese consistiram no projeto e implementação em FPGA de algoritmos para estimação de energia e para seleção de elétrons. A alteração das condições de operação em alta luminosidade do LHC provocou impactos operacionais nos componentes eletrônicos dos ATLAS. No âmbito do *TileCal*, para que seja possível processar todas as amostras geradas pelas colisões e lidar com o empilhamento de eventos subsequentes (*pileup*), um FPGA foi adicionado à eletrônica e tornou-se necessário propor uma arquitetura de circuito digital que implementasse a estimação de energia.

Para a seleção de elétrons, o novo sistema de *TDAQ*, que irá operar no *HL-LHC*, terá um novo componente de hardware, o *Global Trigger*, que implementará algoritmos que, até então, eram executados em nível de software e com menor granularidade das informações das colisões. Uma das técnicas que será implementada no *Global Trigger* é a seleção de elétrons, sendo assim, neste trabalho foi projetado e implementado o NeuralRinger, algoritmo atualmente em execução no sistema de *trigger* do *ATLAS*, para ser embarcado no novo sistema de *TDAQ*.

3.1 Técnicas de Estimação de Energia

Com o aumento da luminosidade nas atualizações do Detector ATLAS, o sistema de *Trigger* enfrentará um maior volume de dados e colisões. Esse cenário aumentará a probabilidade de ocorrer múltiplas interações próton-próton em um mesmo *bunch crossing*, ou seja, energias de múltiplas colisões poderão ser depositadas em uma mesma célula em um intervalo inferior ao tempo de resposta dos sensores (CLEMENT; KLIMEK, 2011). Esse fenômeno, conhecido como sobreposição, do inglês *pileup*, ocorre devido ao tempo entre dois eventos subsequentes ser inferior ao tempo de processamento da eletrônica das células.

O *pileup* é a sobreposição de informações provenientes de eventos subsequentes, provocando a deformação do pulso característico. Na Figura 26 pode-se observar um exemplo desse efeito, onde o sinal em vermelho se sobrepõe ao sinal em preto, resultando no sinal roxo deformado pelo *pileup* (CLEMENT; KLIMEK, 2011).

Associado ao aumento da luminosidade, planeja-se modificar o *Trigger* de forma que o primeiro nível deste sistema de seleção de eventos opere com granularidade total, pois não serão mais utilizadas as estruturas de somadores que compactam a informação. Considerando esse novo cenário de operação da eletrônica do *TileCal*, torna-se necessário propor técnicas eficientes de estimação da energia no primeiro nível do *Trigger*, já que a técnica de estimação de energia utilizada, o Filtro Casado, depende do conhecimento prévio da forma do pulso afetado pelo ruído. O desempenho desse método não é adequado para o Calorímetro operando com alta luminosidade(*pileup*), uma vez que o *pileup* altera a forma do pulso.

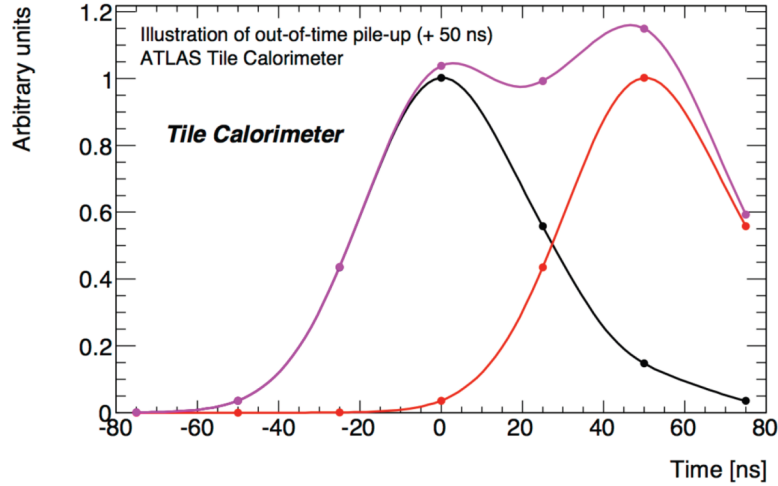


Figura 26 – Representação gráfica do efeito de sobreposição entre sinais adjacentes (CLEMENT; KLIMEK, 2011).

O Filtro Casado, também denominado de *Optimal Filter* (OF), baseia-se em filtragem linear, onde seus coeficientes são calculados minimizando uma função de otimização com restrições (MARIN, 2023). O modelo de sinal recebido é definido pela equação 3.1:

$$y(n) = Ah(n) + A\tau\dot{h}(n) + ped + w(n), \quad (3.1)$$

em que A é a amplitude do sinal recebido, $h(n)$ é o pulso de referência, τ é o desvio de fase do sinal, ped é uma constante adicionada ao sinal para evitar conversões AD negativas, denominada de pedestal, e $w(n)$ é uma variável aleatória que engloba toda e qualquer distorção ao sinal recebido $y(n)$ (MARIN, 2023). No OF, $w(n)$ é modelada como uma variável aleatória gaussiana de média nula e desvio padrão conhecido, normalmente obtido experimentalmente através de procedimento de calibração. A equação 3.2 define a estimativa da amplitude do sinal do OF, utilizando os coeficientes $c(n)$, que são calculados através de um procedimento de minimização com restrições, utilizando o método dos multiplicadores de Lagrange, com o intuito de minimizar a contribuição do ruído gaussiano na estimação da amplitude do pulso.

$$\hat{A} = \sum_{n=1}^N y(n)c(n), \quad (3.2)$$

As restrições consideradas na geração dos coeficientes estão definidas nas seguintes equações:

$$\sum_{n=1}^N c(n)h(n) = 1, \quad (3.3)$$

$$\sum_{n=1}^N c(n)\dot{h}(n) = 0, \quad (3.4)$$

$$\sum_{n=1}^N c(n) = 0, \quad (3.5)$$

$$\sum_{n,j=1}^N c(n)C(n,j) - \lambda h(n) - \alpha \dot{h}(k) - \kappa = 0. \quad (3.6)$$

em que λ , α e κ são os multiplicadores de Lagrange e $C(n,j)$ corresponde a um elemento da matriz de covariância de $w(n)$.

A técnica adotada para propor uma nova solução para estimação da energia, considerando o ambiente eletrônico do *TileCal*, foi a deconvolução. Na Figura 27 observa-se o diagrama que representa o modelo de distorção do sinal impulsivo em um canal de medição. $\mathbf{x}[n]$ representa o sinal de energia referente a uma colisão, $\mathcal{F}_D(\cdot)$ a resposta do canal de medição, $\mathbf{N}[n]$ representa o ruído de medição e, por fim, $\mathbf{y}[n]$ o sinal resultante do processo de medição. Nesse modelo, o sinal original de interesse ($\mathbf{x}[n]$) é distorcido pelo canal de medição ($\mathcal{F}_D(\cdot)$), e adicionando o ruído ($\mathbf{N}[n]$), produz-se o sinal medido ($\mathbf{y}[n]$). A Equação 3.7 representa esse modelo.

$$\mathbf{y}[n] = \mathcal{F}_D(\mathbf{x}[n]) + \mathbf{N}[n], \quad (3.7)$$

onde $\mathcal{F}_D(\mathbf{x}[n])$ representa a função direta da resposta do canal de medição e $\mathbf{N}[n]$ o ruído.

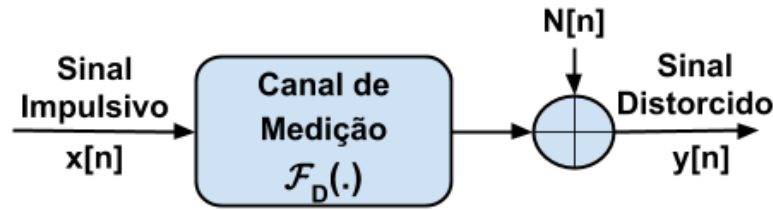


Figura 27 – Modelo da sobreposição de sinais em um canal de medição.

Nessa abordagem, é possível recuperar uma aproximação $\hat{\mathbf{x}}[n]$ da informação original $\mathbf{x}[n]$ através da estimação da resposta do canal de medição e executando a convolução entre sua função inversa e o sinal medido $\mathbf{y}[n]$. A função inversa do canal de medição pode ser representada como $\mathcal{F}_I(\cdot)$.

Nessa tese foram realizadas análises do comportamento de duas abordagens, determinística e iterativa. A determinística considera o sistema como linear e baseia-se no princípio da convolução, através da utilização da técnica do Filtro de Resposta ao Impulso Finita (FIR, do inglês *Finite Impulse Response*). A Equação 3.8 representa o modelo (Figura 27) visto como um sistema linear.

$$\mathbf{y}[n] = \mathcal{F}_D(\mathbf{x}[n]) + \mathbf{N}[n] = \mathbf{x}[n] * \mathbf{h}[n] + \mathbf{N}[n], \quad (3.8)$$

onde $\mathbf{h}[n] = [h_0, \dots, h_{L-1}]$ representa a sequência de resposta ao impulso do canal de medição.

Para estimar a informação original, é necessário encontrar o modelo inverso do canal ($\mathbf{g}[n]$) e executar a filtragem inversa, conforme apresentada na Equação 3.9.

$$\hat{\mathbf{x}}[n] = \mathcal{F}_I(\mathbf{y}[n]) = \mathbf{y}[n] * \mathbf{g}[n] \simeq \mathbf{x}[n] \quad (3.9)$$

Inicialmente, para tratar da abordagem iterativa, foi desenvolvida a deconvolução iterativa através da variação positiva do algoritmo do Gradiente Descendente (GD) (ELAD, 2010). Ao contrário do que ocorre com a implementação do FIR, essa variação do GD não produz estimações

negativas de energia. Essa técnica foi proposta, pois a energia medida pelas células do *TileCal* são sempre positivas.

A abordagem iterativa baseia-se na deconvolução linear de matrizes e opera sobre uma janela de amostras de sinal medido. Nesse algoritmo, o sinal de saída tende a convergir para a informação original após um número finito de iterações (ELAD, 2010).

3.1.1 Método Determinístico

A abordagem determinística consiste na aplicação da técnica de Filtro FIR para realizar a deconvolução, ou seja, recuperar a informação de cada *bunch crossing* afetado pelo efeito de sobreposição. Através da modelagem da eletrônica do calorímetro como um sistema linear, foi possível obter o filtro inverso realizável com o auxílio da Transformada Z (MITRA, 2001; DINIZ; NETTO; SILVA, 2010).

3.1.1.1 Filtro FIR

Os filtros digitais lineares e invariantes no tempo são classificados em dois tipos: resposta ao impulso finita (FIR) e resposta ao impulso infinita (IIR, do inglês *Infinite Impulse Response*). O primeiro tipo possui quantidade finita de amostras de entrada, tendo assim, um número finito de parcelas em seu somatório. Em contrapartida, o segundo tipo requer uma quantidade infinita de somas, normalmente implementado por uma estrutura recursiva (MEYER-BAESE, 2007).

Filtros FIR possuem duração finita de valores de saída e, portanto, sua resposta ao impulso torna-se nula após um determinado tempo. Esses filtros podem ser projetados para apresentar resposta de fase linear, ou seja, sem introduzir distorções de fase no sinal filtrado. Além disso, não possuem realimentação e são sempre estáveis.

A função que define o filtro FIR, apresentada na Equação 3.10, é uma versão finita da Equação da convolução (MEYER-BAESE, 2007). Os coeficientes desse filtro são constantes, caracterizando-se como um filtro digital linear e invariante no tempo, não recursivo, sendo dependente apenas dos sinais atrasados de $x[n]$ (MEYER-BAESE, 2007). Na Equação 3.10, L representa a ordem do filtro, e $f[n]$ as respostas ao impulso do FIR.

$$y[n] = x[n] * f[n] = \sum_{K=0}^{L-1} f[k]x[n - k] \quad (3.10)$$

Existem diferentes estruturas para os filtros FIR, portanto, diferentes formas de implementação do mesmo. São exemplos: forma direta, estrutura transposta, cascata, entre outras. Na Figura 28 apresenta-se graficamente a forma direta, enquanto que na Figura 29 pode-se observar sua forma transposta e, por fim, na Figura 30 a forma em cascata.

Como podem ser observadas nas Figuras 28, 29 e 30, as diferentes estruturas dos filtros são compostas, basicamente, por: somadores, multiplicadores e atrasos unitários. A forma direta, em relação à implementação, é a arquitetura mais simples. Seus coeficientes são obtidos diretamente a partir da função de transferência (DINIZ; NETTO; SILVA, 2010). Essa forma segue, diretamente, as operações apresentadas pela Equação 3.10.

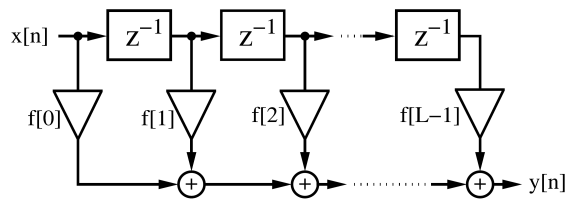


Figura 28 – Representação da Forma Direta do Filtro FIR (MEYER-BAESE, 2007).

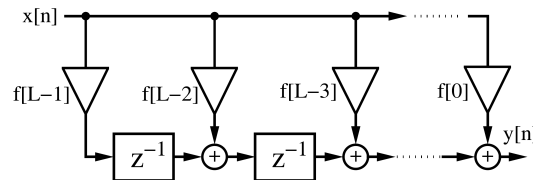


Figura 29 – Representação da Forma Transposta do Filtro FIR (MEYER-BAESE, 2007).

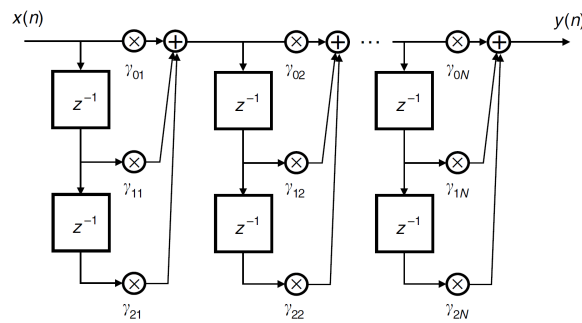


Figura 30 – Representação da Forma em Cascata do Filtro FIR (DINIZ; NETTO; SILVA, 2010).

A forma transposta é definida baseando-se na forma direta, ou seja, apresenta-se como uma alternativa a essa estrutura. Em relação aos benefícios, afirma-se que não é necessário registrador de deslocamento extra para o $x[n]$ e também não é necessário estágio extra de pipeline para os somadores do produto para que se obtenha alta taxa de saída (ou *throughput*) (MEYER-BAESE, 2007). Por fim, a forma em cascata é obtida através da conexão, em cascata, de filtros FIR de segunda ordem. Os coeficientes, representados por γ_{ik} , são determinados a partir dos $f(k)$ da função de resposta ao impulso do filtro (DINIZ; NETTO; SILVA, 2010).

Para o escopo dessa tese, o filtro FIR foi implementado em hardware em sua forma transposta. Essa decisão baseou-se na análise dos recursos de hardware necessários para a execução da mesma e da complexidade de implementação em detrimentos das demais.

3.1.1.2 Projeto do Filtro Inverso Realizável

Ao analisar o pulso característico do *TileCal*, no domínio z , verificou-se que o filtro inverso obtido não é um sistema estável e causal. Logo, para a implementação do método determinístico no ambiente do *TileCal* foi necessário projetar um filtro inverso que fosse realizável.

Na Equação 3.11 é apresentada a relação em que dois sistemas lineares, invariantes no tempo e causais no tempo discreto são inversos, $h[n]$ representa a resposta ao impulso do sistema enquanto que $g[n]$ representa o sistema inverso deste mesmo sistema, $\delta[n]$ representa um impulso unitário.

$$h[n] * g[n] = \delta[n] \quad (3.11)$$

Em um sistema definido pela relação $y[n] = x[n] * h[n]$, temos que $y[n]$ representará o sinal $x[n]$ distorcido pelo canal $h[n]$. Relacionando esse sistema com o Calorímetro apresentado na Figura 27, para efetuar a recuperação de $x[n]$, deve-se convoluir $y[n]$ com $g[n]$, que representa a resposta ao impulso do canal inverso de $h[n]$. Sendo assim, o resultado desse processamento ($v[n]$) será uma aproximação da entrada $x[n]$. A Eq. 3.12 ilustra essas relações.

$$y[n] = x[n] * h[n] \rightarrow v[n] = y[n] * g[n] \simeq x[n] \quad (3.12)$$

Este sistema inverso pode ser representado no domínio Z . Para isso, aplica-se a Transformada Z em ambos os lados da Equação 3.11, obtendo-se o sistema inverso de $H(z)$ (Equação 3.13).

$$G(z) = \frac{1}{H(z)} \quad (3.13)$$

Na abordagem determinística, encontram-se os coeficientes do filtro inverso a partir do pulso característico $h[n]$ do detector. No domínio z , obtém-se o filtro inverso $G(z)$ e, conseqüentemente, os coeficientes utilizados para deconvoluir os sinais com sobreposição.

Ao se analisar o espectro do pulso característico do *TileCal* no domínio z ($H(z)$), considerando um sistema causal, o filtro inverso ($G(z)$) não é realizável. Para se obter uma aproximação de um filtro realizável, adotou-se uma estratégia a partir da separação de $G(z)$ em dois polinômios $G_1(z)$ e $G_2(z)$, sendo o primeiro composto pelos pólos internos ao círculo unitário, caracterizando-se como estável, enquanto que o segundo possui pólos externos ao círculo unitário, caracterizando-se como instável. Desta forma, a condição $G(z) = G_1(z).G_2(z)$ deve ser satisfeita.

Sendo assim, trata-se $G_2(z)$ para obter uma aproximação estável do mesmo, para isso, inverte-se a sua região de convergência, resultando no sistema estável e não causal, incluindo o círculo unitário, $G_2'(z)$. A partir de então, truncam-se as respostas dos filtros $G_1(z)$ e $G_2'(z)$, com o objetivo de gerar um filtro FIR com resposta aproximada, resultando em $g_1'(z)$ e $g_2''(z)$. Como $g_2''(z)$ é não causal, com o atraso da sua resposta, o mesmo torna-se um sistema causal, gerando $G_2'''(z)$.

Desta forma, ao realizar a convolução da resposta ao impulso dos filtros $G_2'''(z)$ e $G_1'(z)$, obtêm-se um filtro FIR $w[n]$, definido pela equação 3.14, que representa uma aproximação do sistema inverso $G(z)$ e realiza a desconvolução aproximada do canal $y[n]$.

$$g[n] = \sum_{K=0}^{L-1} G_2'''[n - k]g_1'[n] \quad (3.14)$$

Na Figura 31 pode-se observar o resultado alcançado por (DUARTE, 2015) na reconstrução de um sinal utilizando o projeto desse filtro inverso. Na Figura 31a apresenta-se o gráfico contendo o sinal do detector afetado pelo efeito da sobreposição e na Figura 31b apresenta-se o sinal recuperado usando a abordagem determinística.

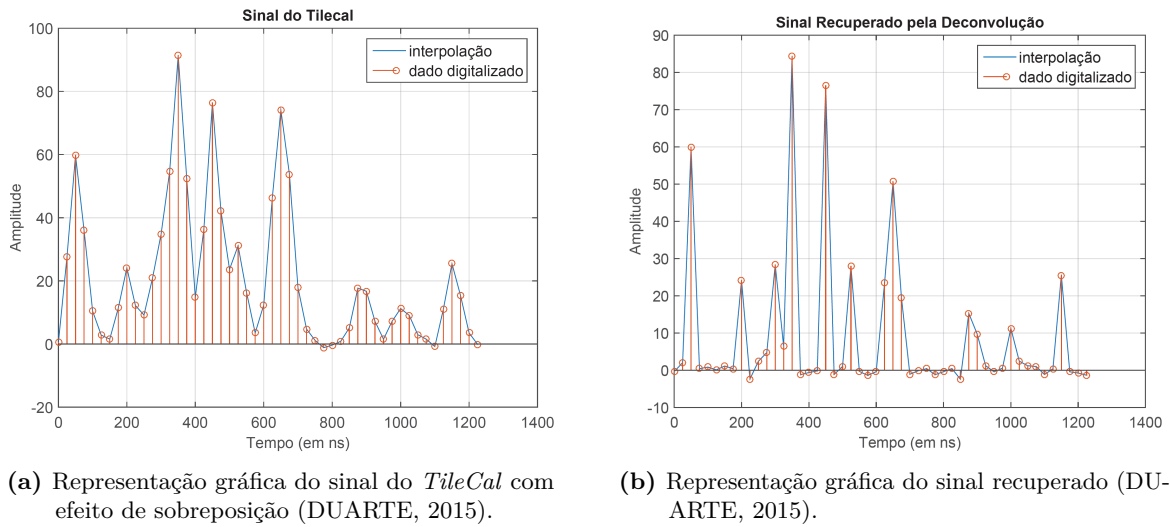


Figura 31 – Exemplo de recuperação do sinal do *TileCal* usando o método determinístico.

3.1.2 Método Iterativo

Os métodos diretos, como o determinístico, baseiam-se em Filtros FIR, realizando o processamento de cada amostra diretamente. Em contrapartida, os métodos iterativos realizam o processamento a partir de uma janela de amostras. Nessa abordagem, o conjunto de sinais é processado iterativamente, formando sua saída a partir da solução de um sistema de equações lineares, a qual, a cada iteração, converge para a estimação desejada.

O algoritmo definido para iniciar a investigação da eficiência dos métodos iterativos foi uma variação do Gradiente Descendente (ELAD, 2010). Para o entendimento dessa abordagem, torna-se necessário o conhecimento do modelo de deconvolução de Van Cittert. Nas seções a seguir, além do modelo de Van Cittert, serão abordados o Gradiente Descendente e suas variações.

3.1.2.1 O Modelo de Van Cittert

Baseada na teoria da convolução, temos que a equação da convolução entre $x[n]$ e $h[n]$ pode ser definida por $y[n] = x[n] * h[n]$. Contudo, uma convolução discreta e linear pode ser descrita de forma matricial. Considerando que um sinal composto por três amostras $[x_0 \ x_1 \ x_2]$ é convoluido com um outro sinal, também contendo três amostras, $[h_0 \ h_1 \ h_2]$, tendo como resultado o conjunto $[y_0 \ y_1 \ y_2 \ y_3 \ y_4]$, pode-se definir essa convolução a partir da Equação 3.15 (BANDŽUCH; MORHÁČ; KRIŠTIAK, 1997).

$$\begin{bmatrix} y_0 \\ y_1 \\ y_2 \\ y_3 \\ y_4 \end{bmatrix} = \begin{bmatrix} h_0 & 0 & 0 \\ h_1 & h_0 & 0 \\ h_2 & h_1 & h_0 \\ 0 & h_2 & h_1 \\ 0 & 0 & h_2 \end{bmatrix} \begin{bmatrix} x_0 \\ x_1 \\ x_2 \end{bmatrix} \quad (3.15)$$

Sendo assim, a convolução linear em sua forma matricial pode ser definida pela Equação 3.16, onde \mathbf{H} é a matriz contendo a resposta ao impulso, \mathbf{x} representa os sinais a serem

convoluídos e \mathbf{y} a matriz resultante da operação.

$$\mathbf{y} = \mathbf{H}\mathbf{x} \quad (3.16)$$

A partir da Equação 3.16, com a multiplicação de ambos os lados por \mathbf{H}^T , sendo T o operador transposição da matriz, obtém-se uma matriz *Toeplitz* ($\mathbf{H}^T\mathbf{H}$) (BANDŽUCH; MORHÁČ; KRIŠŤIAK, 1997), sendo esta uma matriz positiva, com seus autovalores reais (DUARTE et al., 2019). Logo, têm-se a Equação 3.17 que modela o processo de reconstrução de um sinal através da deconvolução (BANDŽUCH; MORHÁČ; KRIŠŤIAK, 1997).

$$\mathbf{H}^T\mathbf{y} = \mathbf{H}^T\mathbf{H}\mathbf{x} \quad (3.17)$$

A partir da Equação 3.17 propõe-se, então, o método de deconvolução iterativa de *Van Cittert*, que apresenta-se como uma solução menos sensível ao erro (BANDŽUCH; MORHÁČ; KRIŠŤIAK, 1997). O equacionamento desse modelo está representado em 3.18.

$$\hat{\mathbf{x}}^{i+1} = \hat{\mathbf{x}}^i + \mu\mathbf{H}^T(\mathbf{y} - \mathbf{H}\hat{\mathbf{x}}^i) \quad (3.18)$$

Na Equação 3.18, i representa o índice da iteração atual e μ um fator de relaxamento real, sendo este necessário para garantir a convergência do sistema. A partir das análises do critério de convergência, obtém-se que os valores assumidos por μ devem respeitar a relação apresentada em 3.19, sendo λ_{max} o maior autovalor de $\mathbf{H}^T\mathbf{H}$ (DUARTE et al., 2019).

$$0 < \mu < \frac{2}{\lambda_{max}} \quad (3.19)$$

3.1.2.2 Gradiente Descendente e suas Variações

O algoritmo Gradiente Descendente (ELAD, 2010) apresenta-se como uma técnica de deconvolução que parte da minimização do erro médio quadrático. Esse método é modelado de acordo com a Equação 3.20, onde \mathbf{r} é um vetor de amostras recebido pelo sistema, $\mathbf{H}\hat{\mathbf{x}}$ é o modelo linear para convolução, conforme apresentado em 3.16, e \mathbf{x} o vetor resultante do processo de estimação.

$$\mathbf{J}(\hat{\mathbf{x}}) = (\mathbf{r} - \mathbf{H}\hat{\mathbf{x}})^T(\mathbf{r} - \mathbf{H}\hat{\mathbf{x}}) \quad (3.20)$$

A Equação 3.18 apresenta uma abordagem iterativa que minimiza a Equação 3.20. Nesse método, o μ é definido com o intuito de otimizar a taxa de convergência, ou seja, obter o menor valor da função custo \mathbf{J} na direção contrária ao gradiente da função \mathbf{J} .

Uma variação do método do Gradiente Descendente, que considera em seu processamento apenas amostras positivas do sinal a ser recuperado, é chamado de Gradiente Descendente Positivo. Esse algoritmo é executado da mesma forma que o Gradiente Descendente, através do equacionamento matemático apresentado nessa seção (Equações 3.20 e 3.18). Sua particularidade

consiste na anulação (atribui-se valor 0) de amostras com valores abaixo de determinado limiar antes de ser iniciada uma próxima iteração. Na Figura 32 é ilustrado o fluxograma desse algoritmo.

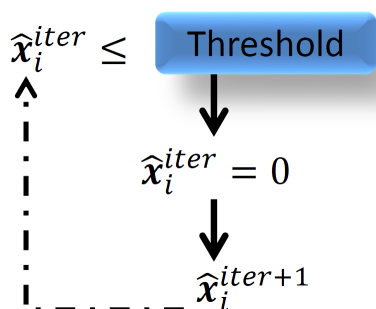


Figura 32 – Representação da lógica do Gradiente Descendente Positivo.

O Gradiente Descendente Positivo é uma técnica que tende para uma solução esparsa positiva. Considerando o ambiente do calorímetro, esse método concentra a energia em componentes positivas, ou seja, não estima sinais positivos e negativos de eventos adjacentes do *TileCal*.

Em uma outra variação do Gradiente Descendente, ao invés da anulação das componentes abaixo de um limiar, estas são excluídas da próxima iteração. Esse método é conhecido como Gradiente Descendente que Exclui Zeros. O benefício desse método em relação ao Positivo, consiste na necessidade de menos recursos computacionais durante o seu processamento, pois, com a exclusão de componentes, o tamanho das matrizes poderão reduzir de uma iteração para outra.

3.2 Seleção Online de Elétrons do ATLAS com o NeuralRinger

O *NeuralRinger* é um dos algoritmos de detecção de elétrons em execução no sistema online de seleção de eventos (*trigger*) do ATLAS (SALAS, 2021). O atual sistema de *trigger*, em operação na *Run-2* e *Run-3*, é dividido em dois níveis: *Level-1 (L1)* e *High Level Trigger (HLT)*. O *L1* é implementado em hardware e, baseado nos dados dos calorímetros e sistema de múons, define as regiões de interesse (RoIs, do inglês *Region of Interest*) e reduz a taxa de entrada para cerca de 100 kHz. O HLT, implementado em software, processa as RoIs geradas pelo *L1* e executa diferentes algoritmos da cadeia de seleção, entre eles, o *NeuralRinger* (SALAS, 2021). O *NeuralRinger* é um algoritmo que baseia-se na técnica de classificação utilizando redes neurais artificiais e que opera no primeiro estágio de seleção do HLT (SEIXAS et al., 1996).

3.2.1 Classificação utilizando Redes Neurais Artificiais

Em sistemas computacionais, a classificação é uma técnica utilizada para categorizar, ou seja, atribuir um rótulo a uma dada entrada com base em suas características (*features*). No âmbito das redes neurais, essa técnica permite que sistemas computacionais não apenas processem dados, mas também os compreendam e tomem decisões baseadas em padrões. A classificação é uma tarefa de aprendizado supervisionado na qual um algoritmo é treinado com um conjunto de dados previamente rotulados e, a partir desse modelo, pode classificar novos dados de entrada.

A classificação utilizando redes neurais é aplicada em diversas áreas. Em (DAI, 2023), utiliza-se o método de aprendizagem profunda para resolver problemas de classificação de imagens na área de visão computacional. Na área da saúde, (PUSZKARSKI; HRYNIÓW; SARWAS, 2022) avalia o desempenho de diferentes arquiteturas de redes neurais na previsão e classificação de sinais de eletrocardiograma. Em (LI et al., 2023), a classificação através de redes neurais artificiais e convolucionais é aplicada para a classificação de gêneros musicais.

Nos experimentos de altas energias, um dos desafios é a identificação precisa de partículas. Em uma colisão são gerados dados referentes a diferentes elementos, dessa forma, a tarefa de distinguir partículas, como elétrons, de um fundo massivo de outras partículas, como jatos, exige o uso de técnicas de análise multivariada avançadas. Uma dessas técnicas, em operação atualmente no sistema de *trigger* do ATLAS para a seleção de elétrons, é a classificação binária baseada em rede neural *Multi Layer Perceptron* (MLP).

Na classificação binária, o conjunto de dados de entrada é categorizado em dois diferentes rótulos mutuamente exclusivos (GÉRON, 2019; FACELI et al., 2011). No caso da aplicação na seleção de elétrons, a saída do classificador gera a decisão se uma partícula é um elétron ou não. Um limiar de decisão é então aplicado a essa saída para gerar a classificação: se o valor for superior ao limiar, o candidato é classificado como elétron, caso contrário, é classificado como jato. Uma das técnicas para avaliação do classificador binário é a curva ROC (*Receiver Operator Curve*), que ilustra o desempenho do classificador binário ao variar o limiar de decisão. A ROC plota a taxa de verdadeiros positivos contra a taxa de falsos positivos para diferentes valores de limiar (GÉRON, 2019; FACELI et al., 2011).

3.2.1.1 Redes Neurais Artificiais

As Redes Neurais Artificiais (RNAs) representam uma classe de modelos computacionais da inteligência artificial e do aprendizado de máquina, inspiradas no funcionamento do cérebro humano. Seu princípio de funcionamento baseia-se na modelagem matemática simplificada dos neurônios biológicos, compondo sistemas computacionais capazes de realizar tarefas complexas como classificação, reconhecimento de padrões, detecção de anomalias e tomada de decisão (HAYKIN, 2009; RUSSELL; NORVIG, 2022).

Define-se que a rede neural artificial pode ser vista como um processador constituído de unidades de processamento, chamados de neurônios (HAYKIN, 2009). Esses elementos tem a função de armazenar o conhecimento experimental e deixa-lo disponível para uso. De forma análoga ao cérebro humano, a rede neural adquire o conhecimento através de um processo de aprendizagem e a conexão entre os neurônios, os pesos sinápticos, armazenam esse conhecimento adquirido (HAYKIN, 2009).

No campo da inteligência computacional, as redes neurais destacam-se pela sua estrutura paralelamente distribuída, pela sua habilidade de aprender e de generalizar (HAYKIN, 2009). A generalização corresponde ao fato das redes neurais serem capazes de produzir saídas, ou seja, respostas corretas, para entradas que não foram utilizadas no processo de treinamento. Dentre as características das redes neurais, destaca-se: Não Linearidade, Mapeamento de Entrada-Saída, Adaptabilidade, Implementabilidade em circuitos digitais, entre outras. A não linearidade permite

as redes neurais atuar em aplicações inerentemente não lineares, pois elas são capazes de classificar padrões que não são linearmente separáveis. No Mapeamento de Entrada-Saída, a partir de um conjunto de entradas e das suas respectivas saídas desejadas utilizados durante o treinamento, as redes neurais geram uma estrutura que, em sua execução, mapeia a entrada para uma respectiva saída. A característica de adaptabilidade refere-se a capacidade da rede neural de ajustar seus pesos sinápticos para se adaptar a mudanças no ambiente. Por fim, a implementabilidade em circuitos digitais corresponde a sua estrutura paralela e modular, composta pela replicação de unidades de processamento (neurônios), que possibilita a construção de processadores de hardware especializados, capazes de executar cálculos em uma velocidade muito superior à de simulações em software (HAYKIN, 2009).

Para compreender o funcionamento de uma rede neural, é essencial primeiro entender o neurônio biológico que serviu como seu modelo. Na Figura 33 pode-se observar a estrutura do neurônio biológico. Estruturalmente, um neurônio é composto por: dendritos, corpo celular e axônio (RUSSELL; NORVIG, 2022). Os dendritos são conexões que atuam como as entradas do neurônio, eles recebem estímulos nervosos de outros neurônios ou do ambiente. O corpo celular é o centro de processamento do neurônio, ele coleta as informações recebidas dos dendritos e as processa. O axônio é uma longa fibra que atua como a "saída" do neurônio, ele conduz os impulsos elétricos gerados pelo corpo celular, geralmente, para outro neurônio. A conexão entre a terminação de um axônio e o dendrito de outro neurônio é chamada de sinapse (RUSSELL; NORVIG, 2022).

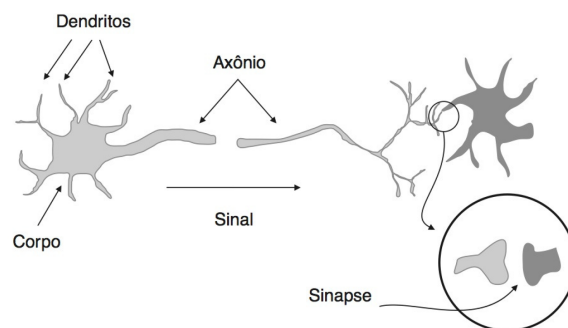


Figura 33 – Modelo biológico de um neurônio (FACELI et al., 2011).

O neurônio artificial, que representa a unidade básica de uma rede neural, é um modelo matemático que emula o comportamento do neurônio biológico. Na Figura 34 pode-se observar o modelo computacional de um neurônio. Nesse modelo observa-se os seguintes elementos básicos (HAYKIN, 2009): entradas, pesos, junção aditiva, função de ativação e saída. As entradas correspondem aos sinais recebidos pelos dendritos. Em um contexto computacional, as entradas são os valores das diferentes características (*features*). Os pesos, análogos as sinapses, são valores utilizados para ponderar as entradas. Cada entrada possui o seu respectivo peso e esses são parâmetros ajustáveis durante o processo de treinamento. A junção aditiva, que corresponde ao processamento do corpo celular, realiza a soma dos resultados das entradas ponderadas. A função de ativação, análoga ao mecanismo de disparo do axônio, determina a saída final do neurônio. Por fim, a saída representa o valor produzido pela função de ativação que é transmitido para outros neurônios (HAYKIN, 2009).

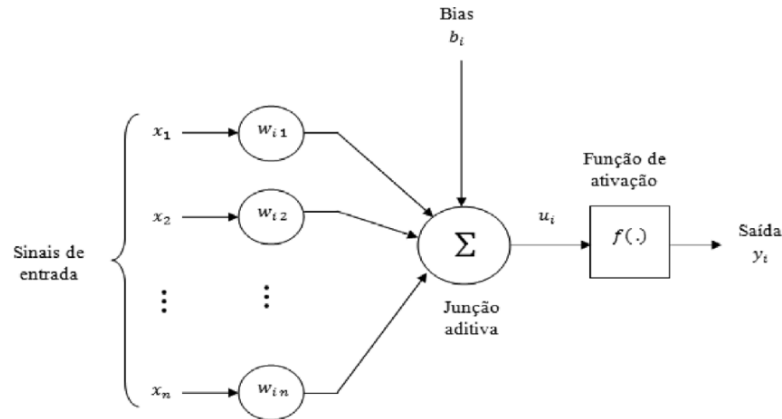


Figura 34 – Modelo computacional não-linear de um neurônio (HAYKIN, 2009).

O modelo de neurônio apresenta também um *bias*, utilizado para aumentar, caso assuma valor positivo, ou diminuir, caso assuma valor negativo, a entrada da função de ativação. A saída de um neurônio i está representada matematicamente na Equação 3.21.

$$y_i = \varphi\left(\sum_{j=1}^n w_{ij} \times x_j + b_i\right), \quad (3.21)$$

onde x_1, x_2, \dots, x_n representam os sinais de entrada; $w_{i1}, w_{i2}, \dots, w_{in}$ são os pesos sinápticos; b_i é o *bias*; $\varphi(\cdot)$ é a função de ativação; e y_i é o sinal de saída do neurônio i .

A função de ativação tem a função de restringir a amplitude do valor de saída do neurônio. Ela restringe a saída do neurônio a um valor finito, normalmente o intervalo normalizado que a saída de um neurônio pode assumir é de $[0, 1]$ ou $[-1, 1]$. Dentre os tipos de funções de ativação comumente utilizadas em redes neurais, destaca-se: função de limiar, sigmóide e ReLu.

A função de limiar apresenta-se como uma função simples e binária. Definida pela Equação 3.22, essa função produz uma saída (geralmente 1) se a entrada atinge um determinado limiar (geralmente 0), e outra saída (geralmente 0) caso contrário.

$$\varphi(x) = \begin{cases} 1, & x \geq 0 \\ 0, & x < 0 \end{cases} \quad (3.22)$$

A função sigmóide, exemplificada na Equação 3.23 tem o gráfico na forma de S e representa uma aproximação contínua e diferenciável da função limiar. Enquanto que a função limiar assume os valores de 0 ou 1, a sigmóide gera uma transição suave em vez de um degrau abrupto, mapeando qualquer valor de entrada para um intervalo entre 0 e 1.

$$\varphi(x) = \frac{1}{1 + e^{-x}} \quad (3.23)$$

A função ReLu, definida na Equação 3.24, retorna o próprio valor de entrada se ele for positivo, e zero caso contrário (VADDE; MURALIDHARAN; SHARMA, 2023). A ReLu mitiga o problema da saturação do gradiente presente na função sigmóide, acelerando o treinamento. A saturação do gradiente ocorre pois a derivada da função se aproxima de zero para valores de entrada

muito altos ou muito baixos, tornando o treinamento mais lento (VADDE; MURALIDHARAN; SHARMA, 2023).

$$\varphi(x) = \begin{cases} 0, & x \leq 0 \\ x, & x > 0 \end{cases} \quad (3.24)$$

As arquiteturas de redes neurais definem como os neurônios, que são unidades de processamento simples e interconectadas, são estruturados e conectados entre si. Uma das formas de organização dessas redes é em camadas, podendo ser configuradas em camada única ou múltiplas camadas (HAYKIN, 2009).

As redes de camada única são classificadas como simples e divididas em duas camadas: Entrada e Saída. A primeira é composta por nós de entrada que recebem os sinais de entrada e não realizam qualquer computação. A camada de saída, formada por neurônios, processam a informação e fornecem a saída da rede. As redes de múltiplas camadas se distinguem da primeira pois são compostas por uma ou mais camadas ocultas, além das camadas de entrada e saída.

3.2.1.2 Redes Neurais com Múltiplas Camadas - *Multi-Layer Perceptron*

A rede perceptron multicamadas (*Multi-Layer Perceptron - MLP*), ilustrada na Figura 35, é uma das arquiteturas mais tradicionais de redes neurais estruturadas em camadas. Essas redes são constituídas de uma camada de entrada, uma ou mais camadas ocultas e uma camada de saída. Em sua forma mais comum, apresentada na Figura 35, as conexões ponderadas ligam cada nó de uma camada a todos os nós da camada imediatamente superior a ele, conhecida como totalmente conectada (*fully connected*) (HAYKIN, 2009). O fluxo da informação nesse tipo de rede, chamada de *feedforward*, propaga sempre para frente, da entrada para saída, de camada em camada (HAYKIN, 2009).

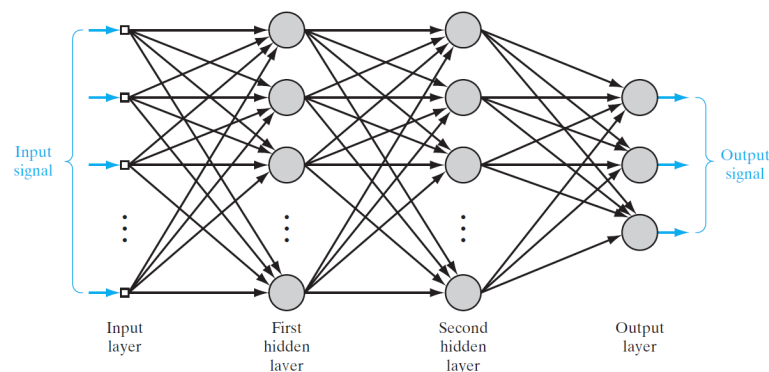


Figura 35 – Representação gráfica da arquitetura de uma perceptron multicamadas com duas camadas ocultas (HAYKIN, 2009).

A estrutura de um MLP é composta por, no mínimo, três tipos de camadas: entrada, ocultas e de saída. A camada de entrada é constituída por nós que não realizam processamento, são responsáveis por receber as informações de entrada e propagá-las para os neurônios da próxima camada. O número de neurônios na camada de entrada é igual ao número de características (*features*) do conjunto de dados. As camadas ocultas são localizadas entre a camada de entrada e

a de saída e seus neurônios realizam o processamento dos valores propagados para os mesmos. Por fim, na camada de saída é realizado o processamento final e disponibilizado o resultado. A estrutura da camada de saída depende da aplicação da rede, podendo ser, por exemplo, binária, em que possui um único neurônio ou multiclasse, em que é utilizado um neurônio para cada classe.

Nessa configuração de rede são identificados dois tipos de sinais, sinais de função e sinais de erro. Sinais de função representam os estímulos que são recebidos pelos nós e propagados para frente até chegar na saída da rede. Os sinais de erro, utilizados na retropropagação, originam-se de um neurônio de saída da rede e propagam-se no caminho inverso aos sinais de função, da direita para esquerda, através da rede. Esses últimos são chamados de erro devido ao seu computo envolver uma função dependente de erro em cada nó.

Uma das principais características de uma rede neural é a sua capacidade de aprendizado. O processo pelo qual uma rede neural “aprende” é chamado de treinamento e este é realizado através da execução de algoritmos computacionais que, de forma iterativa, ajustam os pesos sinápticos e limiares (RUSSELL; NORVIG, 2022). Dentre os paradigmas da aprendizagem, destacamos o aprendizado supervisionado. Neste tipo de aprendizado, um conjunto de dados rotulados (dados de treinamento) são utilizados para ajustar os parâmetros da rede (os pesos e bias). O objetivo é encontrar um conjunto de parâmetros que minimize a diferença entre as saídas do modelo e os valores verdadeiros (RUSSELL; NORVIG, 2022).

Um dos métodos de aprendizado supervisionado mais conhecido e utilizado em redes MLP é o *back-propagation* (GOODFELLOW; BENGIO; COURVILLE, 2016; RUSLAU et al., 2025). Esse algoritmo é dividido em duas fases. Na primeira fase, chamada de “para frente” (*forward*), os sinais de entrada são propagados através da rede da esquerda para direita, até que uma saída da rede seja gerada. Nesse passo, os pesos não são alterados, são realizados os cálculos dos sinais funcionais de todos os neurônios. A partir do resultado, os neurônios da camada de saída indica o erro gerado para o conjunto de entrada da rede. Na segunda fase, chamada de “para trás” (*backward*), ou retropropagação, os valores de erro gerados na camada de saída são passados para a esquerda, camada por camada, calculando-se o gradiente local de cada neurônio. Nessa etapa são realizadas as correções dos pesos de todos os neurônios, da camada de saída para a camada de entrada (GOODFELLOW; BENGIO; COURVILLE, 2016).

O treinamento com o *back-propagation* é realizado de forma iterativa até que um determinado critério de parada seja atingido. Esse critério pode ser: o processamento de uma determinada quantidade de elementos de entrada; uma taxa de erro aceitável; entre outros (FACELI et al., 2011).

3.2.2 O Algoritmo *NeuralRinger*

O algoritmo do *NeuralRinger* consiste em um sistema inteligente, baseado em rede neural, para seleção online de elétrons. Essa técnica foi implementada no sistema de *trigger* do ALTAS e opera desde 2017 (*Run-2 e Run-3*) (SEIXAS et al., 1996; AAD; ABBOTT et al., 2020; SALAS, 2021). Nessas fases de operação, o *NeuralRinger* foi implementado em software no segundo nível de *trigger*, no *High-Level Trigger* (HLT). No HLT, a seleção de elétrons é realizada em etapas

sequenciais e, em caso de falha em alguma etapa, a subsequente não é executada. Na Figura 36 pode-se observar as etapas do *HLT* para seleção de elétrons. Essas etapas são divididas em rápida (*Fast*) e precisa (*Precision*). Os algoritmos da etapa rápida são executados primeiro, com menor tempo de processamento, e utilizam as informações da RoI. As partículas que satisfazem os critérios de seleção da etapa rápida, são utilizadas nos algoritmos de precisão, que exigem mais tempo de processamento e podem acessar dados dos detectores fora da RoI. Conforme pode ser observado na Figura 36, o *NeuralRinger* está implementado na etapa rápida das sequência de seleção de elétrons do *HLT*.

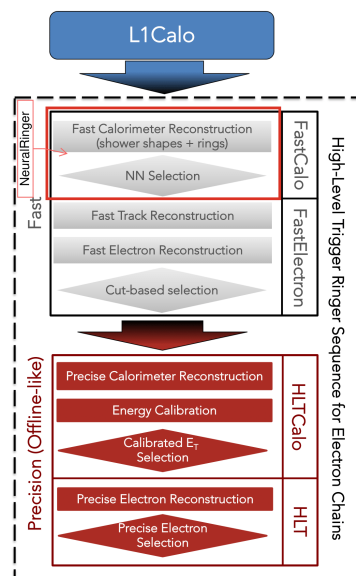


Figura 36 – Sequência do fluxo de processamento para seleção de elétrons na etapa de *HLT* do sistema de *Trigger* do *ATLAS* com a utilização do *NeuralRinger* na etapa rápida (*Fast*). (AAD; ABBOTT et al., 2020; PINTO, 2022).

A lógica de operação do *NeuralRinger* é dividido em duas etapas. Na primeira etapa, a partir dos dados das células dos calorímetros do *ATLAS*, ocorre a extração das características, chamada de *FEX*, do inglês *Feature Extraction*. Na segunda etapa, chamada de *HYPO*, do inglês *Hypothesis*, executa-se a rede neural. Na Figura 37 é ilustrado o diagrama que representa o funcionamento do *NeuralRinger* nessas duas etapas.

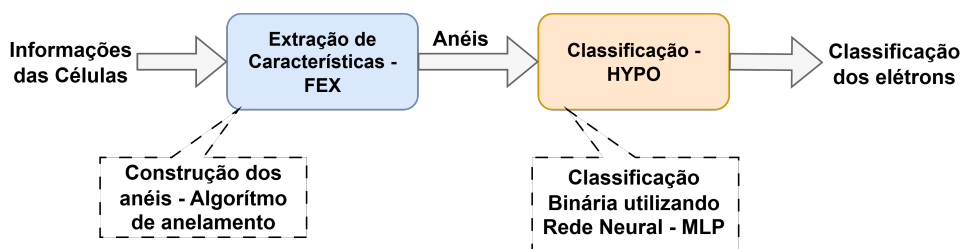


Figura 37 – Diagrama de Blocos do funcionamento do *NeuralRinger* nas etapas de *Feature Extraction - FEX* e *Hypothesis - HYPO*.

A etapa de extração de características do *NeuralRinger* se baseia na característica física dos chuveiros eletromagnéticos, que se expandem lateralmente em um formato aproximadamente cônico a partir da trajetória da partícula inicial. Ao invés de usar as características do formato do chuveiro de elétrons, o algoritmo utiliza as informações relevantes do calorímetro representados

em forma de anéis concêntricos (SEIXAS et al., 1996; AAD; ABBOTT et al., 2020). O princípio consiste em somar a energia de todas as células, a partir de uma célula mais energética, contidas dentro dos limites de cada anel, criando assim a "informação anelada". Ao aplicar este procedimento em uma janela que contém a energia do chuveiro, obtém-se um perfil que preserva a expansão lateral do chuveiro. Ao realizar o mesmo processo para todas as camadas longitudinais, é possível caracterizar tanto a largura longitudinal do chuveiro quanto as particularidades de sua evolução lateral (PINTO, 2022).

O processo de construção dos anéis é aplicado em toda a Região de Interesse (RoI) de $\eta \times \phi = 0,2 \times 0,2$ e representa uma compactação de informações relevantes para o processamento (MARIN, 2023). Esse método gera uma base de características que, embora mantenha as propriedades físicas do processo de interação da partícula, possui uma dimensionalidade reduzida em comparação com o uso de todas as células. Tipicamente, a dimensão do espaço de entrada de cada *RoI* é de 1000–1200 células, com aplicação da técnica de construção de anéis, essa dimensão reduz para 50 anéis (PINTO, 2022).

Conforme apresentado no Capítulo 3 e na Tabela 2, a estrutura do sistema de calorimetria do ATLAS é composto por células de diferentes geometrias e, conseqüentemente, granularidades em cada camada. Por isso, o algoritmo define que os anéis são retangulares e que cada camada possui diferentes quantidades de anéis. Na Figura 38 são representados os formatos dos anéis para todas as camadas dos calorímetros. O calorímetro Eletromagnético é formado por 4 camadas: PreSampler (PS), EM1, EM2 e EM3. O calorímetro hadrônico por três camadas: HAD1, HAD2 e HAD3.

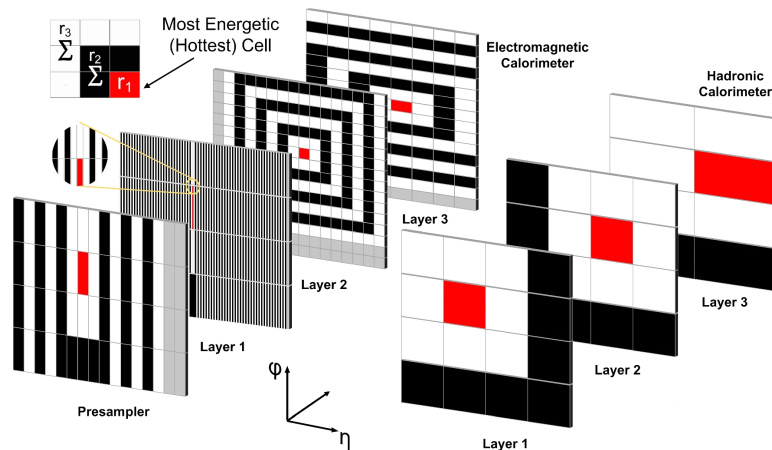


Figura 38 – Representação do formato dos anéis para todas as camadas dos calorímetros. A célula mais energética de cada anel é representada em vermelho, enquanto os anéis ao redor dela alternam entre preto e branco. (AAD; ABBOTT et al., 2020).

O centro dos anéis é determinado de forma distinta para as camadas dos calorímetros eletromagnético (EM) e hadrônico (HAD). Nas camadas do primeiro, eles são centrados na célula de maior energia de cada camada respectivamente e, nas camadas do hadrônico, a posição da célula mais energética da segunda camada do calorímetro *EM* é utilizada como referência (AAD; ABBOTT et al., 2020).

Durante a *Run-2* e *Run-3* o *NeuralRinger* operou com a geração de 100 anéis, entretanto, estudos para otimização do algoritmo foram realizados durante a *Run-3* e observou-se que o

algoritmo opera de forma eficiente com a redução de 50% dos anéis (FERREIRA et al., 2025). Desta forma, neste trabalho foram considerados a definição de 50 anéis dentro de uma Região de Interesse. A distribuição da quantidade de anéis por camada está representada na Tabela 3. Observa-se que, a EM1 é a camada com maior granularidade, ou seja, em que as células são menores. Por isso, essa camada utiliza a maior quantidade de anéis (32), enquanto que as células das camadas do hadrônico possuem células maiores e, conseqüentemente, menos anéis.

Tabela 3 – Distribuição da quantidade de anéis por camada do sistema de calorimetria do experimento ATLAS considerados para a versão com 50 anéis do algoritmo

Camadas	PS	EM1	EM2	EM3	H1	H2	H3	Total
Anéis	4	32	4	4	2	2	2	50

O algoritmo de construção dos anéis do *NeuralRinger* opera da seguinte forma (PINTO, 2022):

1. A partir da posição central da célula mais quente da EM2 ($\eta_{cluster}, \phi_{cluster}$), realiza-se o refinamento do baricentro de energia na l -ésima camada obtendo-se todas as células, pertencentes a RoI, dentro da janela retangular de busca;
2. A partir do conjunto de todas as células pertencentes a janela de busca, obtém-se a posição central da célula mais energética dada por $(\eta_{hot,l}, \phi_{hot,l})$. Essa célula é chamada de *seed*;
3. Para cada célula, calcula-se o índice do anel ao qual a célula pertence. Essa distância é calculada através de uma função de máximo entre as distâncias de η e ϕ da célula em relação a *seed*. Dessa forma, o anel $R_{n,l}$ é formado por todas as células $c_{n,l}$. Calcula-se n por:

$$n = \left\lceil \max \left(\frac{|\eta_{i,l} - \eta_{hot,l}|}{h_{\eta,l}}, \frac{|\phi_{i,l} - \phi_{hot,l}|}{h_{\phi,l}} \right) \right\rceil \quad \forall c_{i,l} \in \Theta_{RoI,l}, \quad (3.25)$$

onde (análogo para ϕ quando adequado):

- $\eta_{i,l}$ é o centro da célula $c_{i,l}$ em η ;
 - $h_{\eta,l}$ é o passo adotado em η para a l -ésima camada, por sua granularidade;
 - $l \in \{PS, EM1, EM2, EM3, HAD1, HAD2, HAD3\}$;
 - e $n \in \{0, \dots, (N_l - 1)\}$, caso contrário se descarta a célula.
4. a grandeza $(r_{n,l})$ descrita pelo anel $R_{n,l}$ representa, aproximadamente, a energia transversa do chuveiro depositada na região delimitada pelo anel, dada por

$$r_{n,l} = \frac{\sum_{i=0}^{\forall c_{i,l} \in R_{n,l}} E_{i,l}}{\cosh \eta_{hot,l}} \quad (3.26)$$

onde $E_{i,l}$ é a energia da célula $c_{i,l}$.

Tabela 4 – Granularidades de cada camada do sistema de calorimetria do ATLAS consideradas para execução da construção dos anéis do algoritmo *NeuralRinger* (PINTO, 2022).

Seção	Camada	Barril	ITC	Tampa	$h_{\eta,l}$	$h_{\phi,l}$	N_l
EM	PS	<i>PreSamplerB</i>		<i>PreSamplerE</i>	0,025	0,1	4
	EM1	EMB1		EMEC1	0,003	0,1	32
	EM2	EMB2		EMEC2	0,025	0,025	4
	EM3	EMB3		EMEC3	0,050	0,025	4
HAD	HAD1	TileBar0	TileGap3	HEC0	0,1	0,1	2
		TileExt0					
	HAD2	TileBar1	TileGap1	HEC1	0,1	0,1	2
		TileExt1		HEC2			
	HAD3	TileBar2	TileGap2	HEC3	0,2	0,1	2
		TileExt2					

A Tabela 4 apresenta uma compilação das granularidades de cada camada do sistema de calorimetria do ATLAS consideradas para execução do *NeuralRinger*.

Os anéis gerados pela etapa do FEX são utilizados como entrada da rede neural perceptron multicamadas na etapa de HYPO. Nessa etapa ocorre a classificação binária, em que, a partir dos valores de energia dos anéis, a rede neural faz a classificação dos elétrons. A partir de estudos sobre a eficiência de seleção do algoritmo, a arquitetura definida para a MLP é de uma camada de entrada, composta pelos 50 anéis, uma camada oculta com 5 neurônios e uma camada de saída com 1 neurônio (PINTO, 2022; FERREIRA et al., 2025). A função de ativação da camada escondida é a ReLu e da saída a sigmóide (FERREIRA et al., 2025).

4 Metodologia

Duas das contribuições desta tese consistiram no desenvolvimento de soluções, em FPGA, para lidar com os desafios da atualização do LHC para o *High luminosity* LHC. Na primeira contribuição foi desenvolvido um circuito para ser embarcado no sistema eletrônico do *TileCal* capaz de estimar as energias e reduzir os efeitos do *pileup* no processo de seleção de eventos de interesse. A segunda contribuição, que demandou o projeto e a implementação de um circuito para FPGA, foi a implementação do *NeuralRinger* para o *Global Trigger*, o novo componente de hardware do TDAQ que irá operar no ATLAS na *Run-4*.

O projeto de hardware para FPGA segue um fluxo de desenvolvimento com a finalidade de obter um sistema que atenda às necessidades do ambiente operacional da aplicação. Na Figura 39 ilustra-se os elementos básicos do fluxo de um projeto de hardware digital.

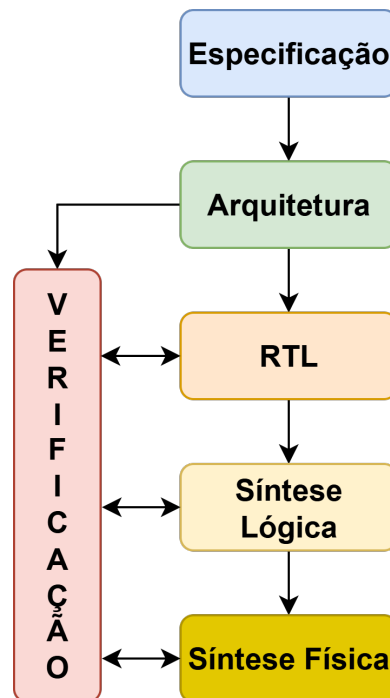


Figura 39 – Diagrama do fluxo de projeto digital.

As fases de Especificação e Arquitetura fazem parte do processo de planejamento do sistema. Nelas são levantados os requisitos, definidas as restrições de tempo, área e potência, desenvolvido o modelo de referência utilizando linguagens de alto nível, como Matlab e Python. Com a arquitetura do sistema definida, inicia-se a fase de *Register-Transfer Level* (RTL) (MANO; CILETTI, 2013), que consiste na descrição comportamental do hardware, utilizando alguma Linguagem de Descrição de Hardware (HDL, do inglês *Hardware Description Language*), como Verilog (ZEIDMAN; ZEIDMAN, 1999) e Linguagem de Descrição de Hardware VHSIC (VHDL, do inglês *VHSIC Hardware Description Language*) (XIU, 2007). A utilização de estruturas sintetizáveis representa um aumento no nível de abstração no processo de descrição do hardware, pois não é necessário preocupar-se com a biblioteca da tecnologia, permitindo, assim, um aumento

da eficiência nessa fase.

A síntese lógica é responsável pela conversão do modelo RTL em elementos combinacionais, sequenciais e de interconexão. Nessa fase é gerada uma *netlist*, composta por componentes lógicos primitivos da FPGA (como *Look-Up Tables (LUTs)*, *Flip-Flops*, BRAMs) e suas interconexões. (LAVAGNO; SCHEFFER; MARTIN, 2006; XILINX, 2014; BURITICÁ; GUAPACHA; ZEA, 2024). Devido à utilização de ferramentas computacionais na realização dessa tarefa, pôde-se aumentar a produtividade dos projetistas. As ferramentas de síntese, além de traduzir o hardware descrito em uma linguagem de alto nível, realiza otimizações de área, potência e de temporização (LAVAGNO; SCHEFFER; MARTIN, 2006) levando em consideração a tecnologia.

Na fase de síntese física, também chamada de fase de implementação, ocorre a tradução do projeto lógico em físico (XIU, 2007; BURITICÁ; GUAPACHA; ZEA, 2024). Nessa etapa as ferramentas de desenvolvimento em FPGA realizam tarefas como *Floorplanning*, *Placement*, Roteamento (*Route*), otimizações de temporizações, área e potência, entre outras (XILINX, 2013). No *Floorplanning*, realiza-se a definição da área utilizada pelo projeto, a posição dos blocos, dos pinos de entrada e saída, o posicionamento das células, o planejamento da distribuição de potência, entre outros aspectos. O *Placement* é responsável por definir o local apropriado para o posicionamento das células, de acordo com a posição previamente determinada. Com os elementos devidamente posicionados, executa-se a etapa de *Route*, responsável pela comunicação por fiação de tais elementos, através da configuração das redes de interconexão internas ao FPGA (XIU, 2007). Após o roteamento, são realizadas outras etapas referentes ao posicionamento das linhas de alimentação, verificação de regras de fabricação, equivalência lógica e cumprimento de restrições de clock (XIU, 2007). Ao final das verificações físicas, caso o projeto atenda aos requisitos, o arquivo de configuração final, chamado de *bitstream*, é gerado. Este arquivo binário contém a informação exata para configurar cada elemento lógico e cada interconexão no FPGA.

Como pode ser observado na Figura 39, a etapa de Verificação pode ocorrer durante quase todo o fluxo de desenvolvimento do projeto. Essa etapa é responsável por garantir o correto funcionamento do sistema através da verificação exaustiva do seu comportamento lógico (BURITICÁ; GUAPACHA; ZEA, 2024). Para isso, criam-se ambientes de simulação, conhecidos como *testbenches*, que geram estímulos de entrada para o código RTL e verificam se as saídas correspondem ao comportamento esperado (BURITICÁ; GUAPACHA; ZEA, 2024). Utiliza-se um modelo de referência, normalmente implementado em software de alto nível, para a verificação de correspondência. A verificação é realizada em múltiplos níveis: testes unitários para cada bloco, testes de integração entre blocos e simulações do sistema completo para validar o fluxo de dados. Costuma-se executar a verificação funcional tanto no nível lógico (RTL) como no nível de portas lógicas geradas durante as sínteses lógica e física.

No âmbito do desenvolvimento desta tese foram executadas as fases do fluxo do projeto digital, exceto a fase de síntese física. Essa fase não pode ser implementada pois não temos disponíveis as placas FPGAs definidas para uso nos sistemas eletrônicos do ATLAS. Por isso, executou-se até a etapa de síntese lógica, o que possibilitou a extração dos resultados de ocupação de recursos lógicos e temporização.

4.1 Solução de Arquitetura de Hardware para Estimação de Energia

A contribuição na estimação de energia consistiu no desenvolvimento e implementação de um circuito digital, para FPGA, capaz de realizar a estimação de energia dos sinais medidos pelo calorímetro hadrônico do *ATLAS*, o *TileCal*. O objetivo é utilizar técnicas de processamento digital de sinais para reduzir os efeitos do *pileup*. A arquitetura proposta para ser embarcada no sistema de aquisição de dados do Calorímetro precisa seguir as especificações de projeto da eletrônica do *TileCal*, tanto em relação às interfaces de comunicação, quanto às restrições de frequência de operação e ocupação de recursos lógicos.

O processo de atualização do LHC provocará mudanças na luminosidade e no sistema de *Trigger*. Com o aumento da luminosidade, as colisões serão geradas a uma frequência de 40 MHz e será aumentado o número de partículas em cada feixe. Todos os sinais de energia gerados a cada 25 nanosegundos serão enviados para o nível 1 do sistema de *trigger* (CERQUEIRA, 2013), aumentando, assim, sua granularidade. Devido às características físicas de funcionamento dos sensores dos PMTs, essa frequência de operação fará com que os sinais de energia sejam afetados pelo *pileup* (CLEMENT; KLIMEK, 2011). Diante desse cenário, para garantir a correta seleção de eventos de interesse, um circuito digital precisa ser embarcado com o objetivo de estimar os sinais verdadeiros de energia gerados a cada 40 MHz.

A Colaboração ATLAS definiu que o FPGA Virtex-7 XC7VX485T da Xilinx (ARGOS, 2015) seria o dispositivo responsável por embarcar o circuito que irá reconstruir os sinais de energia. O dispositivo XC7VX485T caracteriza-se por possuir alta desempenho de processamento e ser voltado para aplicações de processamento digital de sinais (XILINX, 2020).

Além do Virtex-7, foi considerado também a utilização da placa Altera DE2-115 como dispositivo alvo. Essa placa é equipada com o FPGA Altera Cyclone® IV E EP4CE115F29C7. Esse FPGA caracteriza-se como de propósito geral e não possui recursos específicos voltados para a execução em alta desempenho de processamento digital de sinais. A escolha desse equipamento teve como finalidade investigar a viabilidade de embarcar os métodos propostos em um FPGA de menor custo e possibilitar a execução de testes de bancada em laboratório.

Na fase de especificação foram estudados os documentos técnicos do CERN sobre a atualização da eletrônica do *TileCal*. Através desses estudos, podê-se identificar as características do ambiente de operação e, assim, definir uma solução de hardware. Dessa forma, a definição da arquitetura do *hardware* levou em consideração os requisitos definidos pela colaboração ATLAS em relação à atualização do sistema eletrônico. Nesse novo cenário, todos os sinais de energia gerados à cada colisão devem ser processados. Sendo assim, a arquitetura proposta desse trabalho precisa lidar com a restrição de tempo de processamento de 25 nanosegundos (intervalo de tempo entre duas colisões). Além dessa característica, os sinais dos sensores digitalizados são enviados para o sistema de processamento de forma serial e os sinais estimados devem ser enviados para o nível 1 do *Trigger* no mesmo formato. Para garantir o funcionamento de acordo com as especificações, foi necessário implementar técnicas de processamento paralelo e diferentes domínios de *clock*.

Na Figura 40 mostra-se a arquitetura de *hardware* desenvolvida para realizar a estimação

de energia dos dados do *TileCal*. A eletrônica do *TileCal* possui, ao todo, 48 canais por onde os sinais de energia são digitalizados e transmitidos para a placa FPGA de forma serial. Para atender aos requisitos de *throughput* do sistema, foi analisada e definida a implementação de uma arquitetura para o processamento de 12 sensores. Desta forma, existem 4 módulos operando em paralelo para processar os 48 canais. Os elementos dentro da região tracejada pertencem ao escopo deste trabalho, os demais ilustram a interação externa com o sistema eletrônico do *TileCal*.

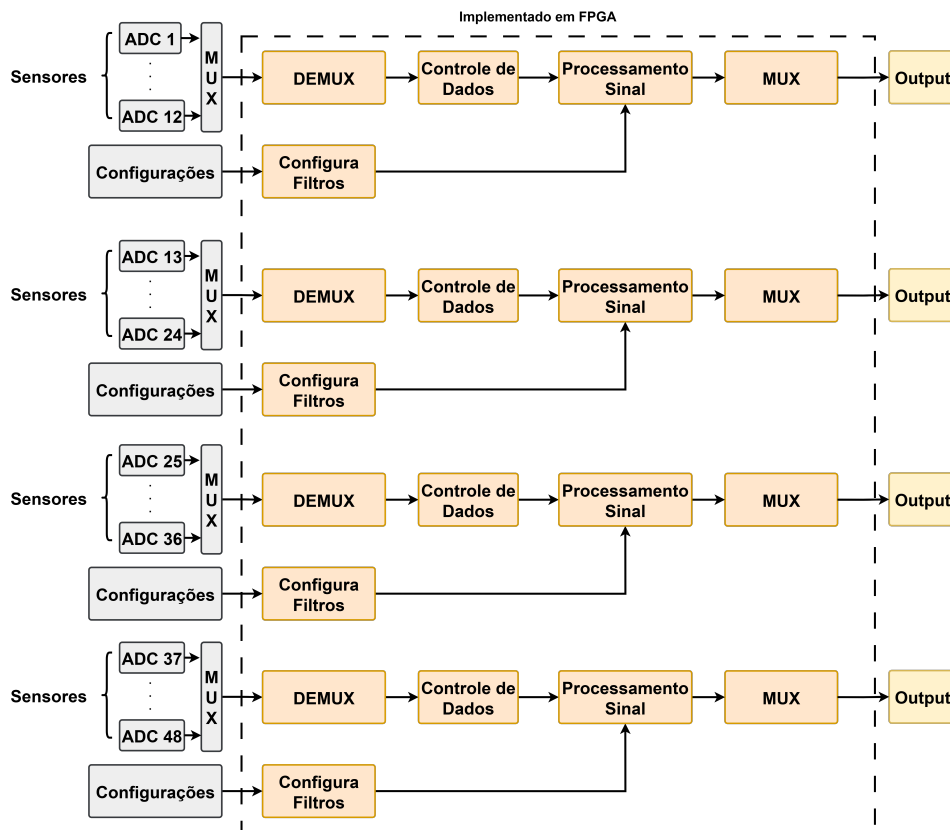


Figura 40 – Arquitetura do circuito implementado em FPGA para a solução da estimação de energia. Diagrama ilustra as etapas de processamento interno da implementação em FPGA, juntamente com as conexões externas para sinais de entrada, informações de configuração e sinais de saída.

Os conversores analógicos digitais realizam a digitalização dos valores analógicos de energia. O multiplexador (“MUX”) controla a transferência da palavra binária do valor de energia de forma serial, bit a bit, para serem reconstruídos. O bloco “Configurações” representa a interação com o ambiente externo, possibilitando que, através de uma programação externa, possam ser alterados os parâmetros de execução dos algoritmos de filtragem.

Com o intuito de tornar o sistema reconfigurável, optou-se pela utilização de registradores de configuração que podem ser alterados externamente pelo usuário do sistema. Com essa alternativa, os filtros podem ter seu funcionamento alterado sem a necessidade de reconfiguração da FPGA. Tais registradores estão representados pelo bloco “Configura Filtros”, ilustrado na Figura 41. Esse bloco possui interface de comunicação externa com o bloco responsável pelo processamento do sinal, disponibilizando, diretamente, as palavras de configuração.

Para o processamento, o circuito que implementa os algoritmos de estimação precisam



Figura 41 – Diagrama do Bloco Configura Filtros.

receber a palavra binária do valor de energia a ser estimado. Desta forma, considerando que a interface com a eletrônica do TileCal transmite os dados de forma serial, foi necessário implementar dois blocos: um “DEMUX” (Figura 42) para a entrada e um “MUX” (Figura 43) para a saída. O “DEMUX” é responsável pela conversão das entradas de serial para paralelo e o “MUX” pela conversão dos sinais de energia estimados em serial. Ambos possuem interfaces com o topo do projeto, pois controlam os sinais que entram e que saem do FPGA, além dessa interface, o primeiro é conectado ao bloco de controle e o segundo ao bloco de filtragem. Em ambos os blocos, as entradas “Input valid” informam a existência de um sinal válido disponível, “Input data bit” representa o bit válido de um sinal de energia recebido de um sensor, “Filtered data”, representa um sinal paralelo filtrado para ser convertido em serial. As saídas “Valid parallel data” e “Valid bit” informam a existência de sinal válido para o bloco subsequente, enquanto “Parallel data” e “Data bit” referem-se às informações de energia em sua forma paralela e serial disponibilizadas por cada bloco de conversão.



Figura 42 – Diagrama do Bloco Conversor Serial/Paralelo.



Figura 43 – Diagrama do Bloco Conversor Paralelo/Seria.

Cada módulo de processamento da arquitetura ilustrada na Figura 40 pode ser utilizado para processar os sinais de 12 sensores. A cada colisão, as fotomultiplicadoras são sensibilizadas e, então, enviam os sinais digitais de energia para o FPGA. Dessa forma, o *hardware* precisa identificar o sensor associado a cada sinal. Para garantir essa organização foi criado o bloco “Controle”, como mostrado na Figura 44, que está conectado ao bloco “DEMUX” e ao bloco de filtragem. Nesse módulo, a entrada “valid_parallel_data”, corresponde ao sinal de controle que identifica uma amostra válida de sinal proveniente do “DEMUX” e “parallel data” representa o sinal de energia em sua forma paralela. A saída “data” refere-se ao sinal de energia e o conjunto de sinais “Valid Channel”, de 0 a 11, informa ao bloco “Processamento Sinal” o sensor associado ao sinal de energia.

O módulo “Processamento Sinal”, ilustrado na Figura 45, representa os métodos de deconvolução implementados, responsáveis por efetuarem a reconstrução dos sinais de energia

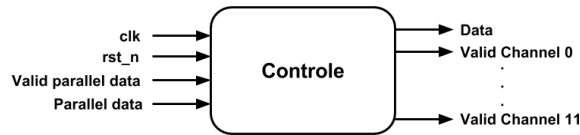


Figura 44 – Diagrama do Bloco Controle.

afetados pela sobreposição. Esse bloco representa a instância do método de estimação, podendo ser qualquer um das duas abordagens implementadas neste trabalho. Suas interfaces estão conectadas aos blocos de controle e “MUX”. As entradas “Valid Channel”, de 0 até 11, referem-se aos sinais do “Controle” informando a qual canal o sinal pertence, enquanto que “Config reg” representam as palavras de configuração utilizadas em cada implementação de filtragem. “Filtered data” é a saída que representa o sinal de energia reconstruído e “Valid data” é o sinal de controle que informa a existência de uma saída válida.

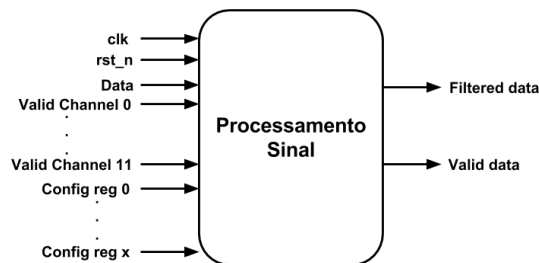


Figura 45 – Diagrama do Bloco Processamento Sinal.

Essa arquitetura permite que as diferentes estruturas e técnicas de filtragem sejam avaliadas. A modularização das partes do sistema permite que apenas o bloco “Processamento Sinal” precise ser alterado para que seja utilizado um método diferente de deconvolução. Com essa estratégia, toda a estrutura de conversão dos sinais de entrada e saída, configuração e controle não precisa ser modificada.

Com o intuito de reduzir o tempo de processamento dos sinais de energia e atender ao requisito de tempo de operação do *TileCal*, foi implementada a técnica de *pipeline* no módulo de processamento. O funcionamento do sistema foi dividido em três estágios independentes, o que evita que partes do sistema fiquem ociosas enquanto aguardam a conclusão de outras operações. Os estágios são: conversão dos sinais de entrada de serial em paralelo (Conversor Serial-Paralelo); processamento das amostras de energia (Processamento Sinal); e conversão do sinal de saída paralelo em serial (Conversor Paralelo-Serial). Na figura 46 são ilustrados os estágios desse paralelismo.

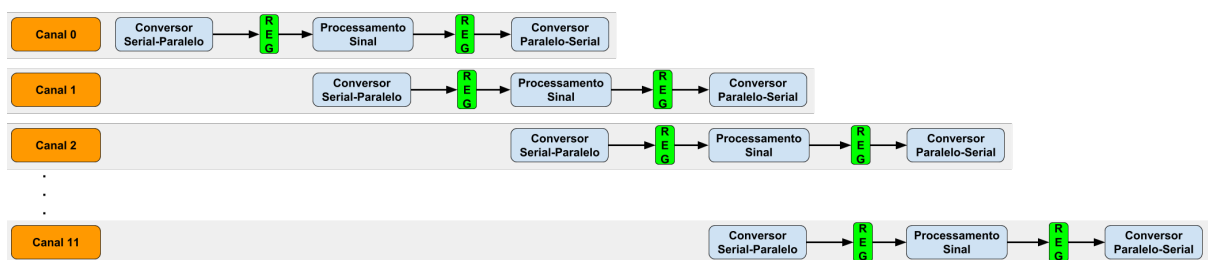


Figura 46 – Diagrama dos Estágios do Paralelismo.

Os blocos “Canal 0” até “Canal 11” representam os sinais de energia de cada um dos 12 sensores de entrada de cada módulo de processamento. Considerando a lógica de operação do pipeline, quando um estágio termina o processamento, o resultado é armazenado em um registrador (“REG”), que fica disponível para a próxima etapa, liberando o estágio para processar outro sinal entrada. Por exemplo, quando o primeiro estágio termina de converter os dados do “Canal 0” e armazenar no registrador de saída, ele fica disponível para processar os dados do “Canal 1”, enquanto o estágio “Processamento Sinal” executa o algoritmo de estimação com o valor de energia do “Canal 0”.

4.1.1 Implementação do Método Determinístico: Filtro FIR Digital

O método determinístico consiste na aplicação da filtragem inversa utilizando filtros de Resposta ao Impulso Finita (FIR) (LYONS, 2010). Esse filtro é obtido através da resposta ao impulso que modela o sistema eletrônico do *TileCal*, projetando, assim, um filtro inverso realizável. O projeto do hardware dessa técnica consiste na implementação da expressão que define o filtro FIR, apresentada na Equação 4.1.

$$y[n] = x[n] * h[n] = \sum_{K=0}^{L-1} h[k]x[n-k] \quad (4.1)$$

A arquitetura do filtro FIR digital foi projetada para otimizar a utilização de estruturas que realizam operações aritméticas (adição e multiplicação). Em geral, a equação que define o filtro FIR na forma transposta é apresentada como uma soma de produtos. O objetivo era usar menos instâncias de estruturas DSP disponíveis nos dispositivos FPGA, reduzindo assim a utilização dos recursos lógicos.

O sistema deve processar sinais de até 12 sensores. Conseqüentemente, foi projetada uma arquitetura que permitisse o compartilhamento de uma estrutura FIR entre todos os canais, minimizando a utilização de recursos lógicos. A Figura 47 mostra o diagrama da implementação do filtro FIR para um canal e a Figura 48 mostra a estrutura do circuito para processar todos os 12 canais. Na Figura 48, os somadores e multiplicadores são compartilhados para o processamento de todos os canais, por esse motivo, há diferentes bancos de registradores para armazenar os sinais atrasados dos canais.

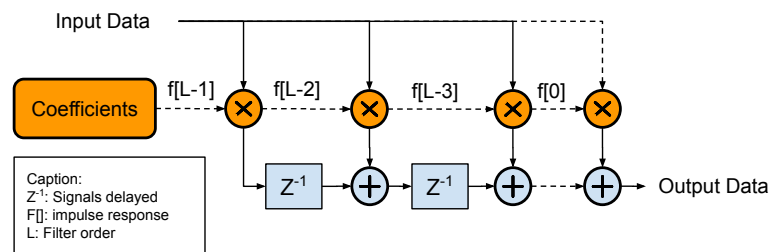


Figura 47 – Diagrama do fluxo de dados do filtro FIR, em sua forma transposta, implementado.

As estruturas lógicas de somadores e multiplicadores foram compartilhadas para operar em todos os canais. Para garantir isso, foram usados três bancos de registradores para armazenar os valores processados de cada canal: um para armazenar os resultados da soma (*Sum Register*

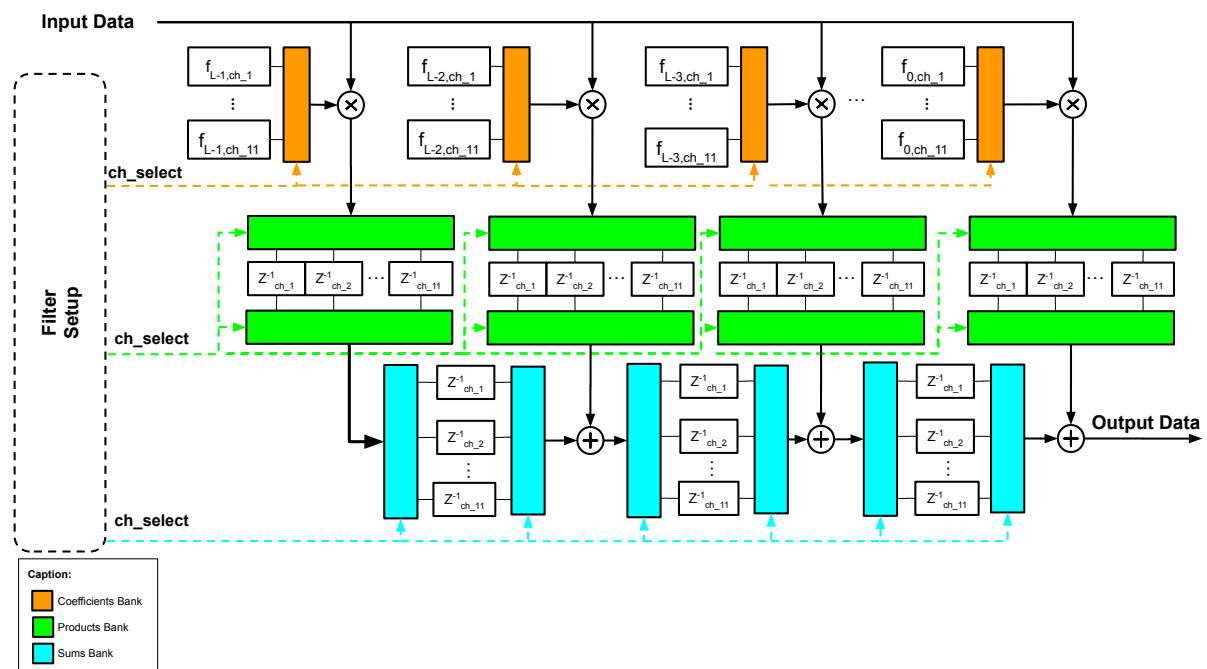


Figura 48 – Diagrama do fluxo de dados do circuito, baseado no filtro FIR, para processar os 12 canais de medição que compartilham as estruturas de multiplicador e somador.

Bank), outro para o resultado da multiplicação (*Product Register Bank*) e um terceiro para os coeficientes (*COEFF Register Bank*). A lógica do sinal “ch select” garante que, quando os dados de entrada se referem a um determinado canal, as operações são executadas usando os valores armazenados nos registradores correspondentes ao respectivo canal, o que garante o comportamento correto do algoritmo do filtro, pois as amostras atrasadas de cada canal permanecem armazenadas para acessos posteriores. Essa implementação do filtro FIR suporta o máximo de 30 coeficientes. A ordem do filtro e os valores dos coeficientes podem ser configurados externamente a partir de uma entrada específica.

Considerando a operação do circuito projetado na Figura 48, quando uma nova amostra chega para ser processada, a lógica “Filter Setup” identifica qual canal gerou a amostra, e o sinal “ch select” garante que os valores do canal correspondente sejam recuperados para os registradores. Os dados de entrada são multiplicados pelos coeficientes. Os produtos são armazenados nos registradores do respectivo canal (representados pelos blocos verdes). Em seguida, após todas as multiplicações, as operações de soma em cascata são realizadas. Para essas operações, os registradores dos blocos ciano representam as amostras atrasadas do canal.

4.1.2 Implementação do Método Iterativo: Gradiente Descendente Positivo

O método iterativo implementado para a estimação de energia dos sinais do *TileCal* foi o algoritmo do Gradiente Descendente (GD) Positivo. Essa variação do GD foi escolhida em detrimento da que exclui zeros porque em FPGA não é possível excluir componentes lógicos em tempo de execução, ou seja, não representaria ganho em relação à redução dos recursos utilizados. A variação positiva do GD define que, para os valores negativos, seja atribuído zero. Portanto, a cada iteração, as posições da matriz resultado que possuem valores negativos devem ser zeradas.

A equação geral que define esse método é apresentada na Equação 4.2.

$$\hat{\mathbf{x}}^{i+1} = \hat{\mathbf{x}}^i + \mu \mathbf{H}^T (y - \mathbf{H} \hat{\mathbf{x}}^i) \quad (4.2)$$

A descrição direta da Equação 4.2 em hardware não é viável porque o processo de síntese geraria um caminho de dados muito extenso, resultando em um longo tempo de processamento. Assim, o processamento da informação foi segmentado para atender aos requisitos de tempo de processamento e área ocupada. Para isso, a Equação 4.2 foi dividida em cinco etapas (Equações 4.3, 4.4, 4.5, 4.6 e 4.7), que são executadas em momentos diferentes (ciclos de clock). As equações Equações 4.3, 4.4 são executadas em paralelo, enquanto as demais, sequencialmente.

$$M_1 = \mu \mathbf{H}^T \quad (4.3)$$

$$m_2 = \mathbf{H} \mathbf{x}^i \quad (4.4)$$

$$m_3 = \mathbf{y} - m_2 \quad (4.5)$$

$$m_4 = M_1 \times m_3 \quad (4.6)$$

$$\mathbf{x}^{i+1} = \mathbf{x}^i + m_4 \quad (4.7)$$

A execução das etapas do algoritmo foi controlada por uma máquina de estados finita (FSM), conforme mostrado na Figura 49. Cada estado habilita uma das etapas computacionais do algoritmo PGD. Com essa estratégia, foi possível reduzir o caminho do fluxo de dados, permitindo que o circuito suportasse uma frequência de clock mais alta.

A máquina de estados controla a execução de um número fixo de iterações, definido por “*max_iter*” e avaliado no estado *S16*. O estado *S0* gera os sinais de controle para garantir o armazenamento adequado dos dados para uma determinada janela de amostras. *S1* representa o início do algoritmo, e as equações 4.3 e 4.4 são executadas nesse estado, sendo que a última equação representa uma multiplicação entre uma matriz e um vetor. As operações aritméticas para calcular a multiplicação envolvendo a matriz são compostas de várias somas em cascata, de modo que o atraso de propagação causado pela lógica combinacional impactaria na redução da frequência do *clock*. Portanto, para evitar a diminuição da velocidade de execução, optou-se por executá-las em seis estados diferentes, usando seis pulsos de *clock*. O primeiro estado executa as operações de multiplicação enquanto as adições são distribuídas entre os estados *S2* a *S6*, de acordo com o número de linhas da matriz \mathbf{H} .

O estado *S7* controla a execução da equação 4.5. Os estados *S8* a *S13* controlam a computação da equação 4.6, usando a mesma estratégia da equação 4.4, para obter melhor tempo de processamento. O estado *S14* controla a execução da equação 4.7, resultando no vetor de

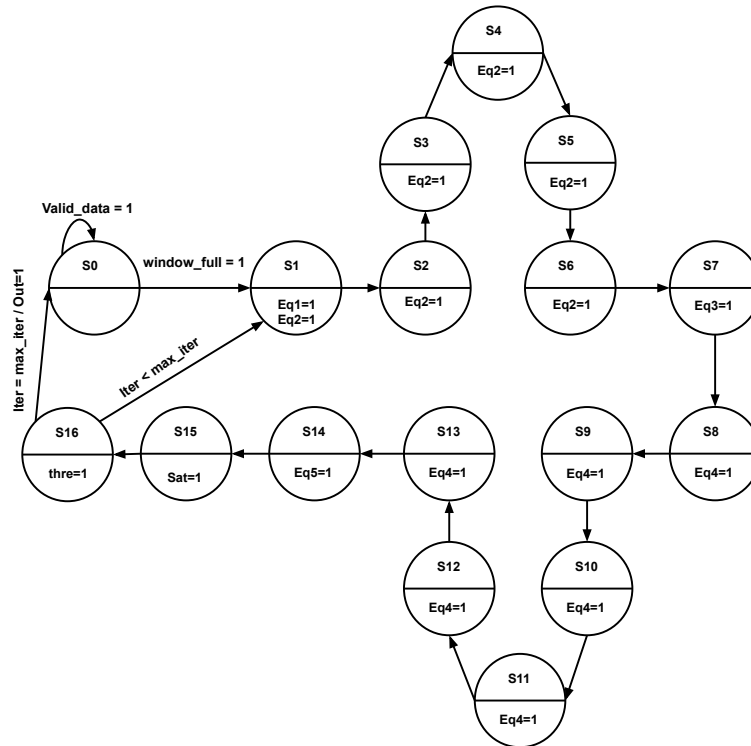


Figura 49 – Diagrama da máquina de estado finita responsável por controlar a execução do algoritmo do PGD, mostrando as etapas computacionais necessárias para a implementação no hardware das Equações 4.3, 4.4, 4.5, 4.6 e 4.7. As Eq1 até Eq5 na figura representam as Equações 4.3 até 4.7.

saída para uma determinada iteração. O estado *S15* controla a aplicação da técnica de saturação, em que os elementos do vetor de resultado são analisados e saturados para serem representados usando o número de bits de saída disponíveis. Essa técnica é necessária porque o número de bits dos operandos nas operações de multiplicação é maior do que o número de bits na saída. Por fim, o estado *S16* controla a aplicação do limiar λ , alterando os elementos da matriz que têm valores abaixo de λ para zero. No estado *S16*, o número de iterações que foram executadas com uma determinada janela é verificado e, quando o número máximo de iterações é alcançado, o processamento dessa janela termina e o sinal que controla a saída do resultado da janela processada é ativado “*Out=1*”.

4.2 Implementação do *NeuralRinger*

O algoritmo do *NeuralRinger* foi projetado e implementado para ser embarcado no *Global Trigger*. Diante da complexidade do projeto do *Global Trigger* e do mesmo ainda estar em desenvolvimento, para obter o conhecimento necessário para definição da arquitetura do circuito do *NeuralRinger*, foram necessárias interações com o grupo de desenvolvedores do *Global Trigger*. A comunidade de desenvolvimento desse componente de hardware do novo TDAQ do ATLAS realiza reuniões semanais para discutir o andamento do projeto, dessa forma, a participação nessas reuniões foram mandatórias para troca de informações e identificação dos aspectos técnicos de funcionamento da arquitetura que estava em desenvolvimento.

O *Global Trigger* é composto por diferentes blocos: um multiplexador (MUX) que recebe

os dados dos detectores e do hardware da *FEature Extraction* (FEX) e os transmite para o bloco seguinte, o *Global Event Processor* (GEP); o GEP é o núcleo de processamento do *Global Trigger*, onde são executados todos os algoritmos de computação e seleção; e, por fim, o *Global to CTP interface* (gCTPi), que transmite os eventos aceitos para o estágio seguinte do sistema de *trigger* e aquisição de dados. Sendo que, cada um desses blocos é implementado com duas FPGAs Xilinx/AMD Versal Premium VP1802. Neste cenário, o *NeuralRinger* foi desenvolvido para ser embarcado como um dos algoritmos de seleção do GEP.

O GEP recebe dados de todos os multiplexadores, processa-os por meio de algoritmos de *trigger*, gera os resultados das hipóteses de *trigger* e transmite a palavra resultante para a interface CTP. A Figura 50 ilustra o diagrama de blocos da estrutura do *Global Event Processor*. A estrutura desse *framework* é dividida em 4 *Super Logic Regions* (SLRs), as quais são conectadas entre si. Cada uma dessas regiões é responsável por agrupar um determinado conjunto de blocos e executar diferentes algoritmos. Cada SRL é composta por suas interfaces de conexão, nas quais são transmitidos os dados das fibras dos calorímetros e dos componentes de FEX, assim como pelos módulos que farão o processamento desses dados. Por exemplo, a SLR0 é responsável por receber os dados dos calorímetros (LAR e *TileCal*) e executar os seguintes algoritmos: *Tau1*, *Topocluster + PU* e *Egamma1*. O *NeuralRinger* é um dos algoritmos candidatos para ser embarcado no bloco *Egamma1*. Na Figura 50 está destacado em vermelho o bloco que representa o *NeuralRinger* e as fontes de dados de entrada do algoritmo.

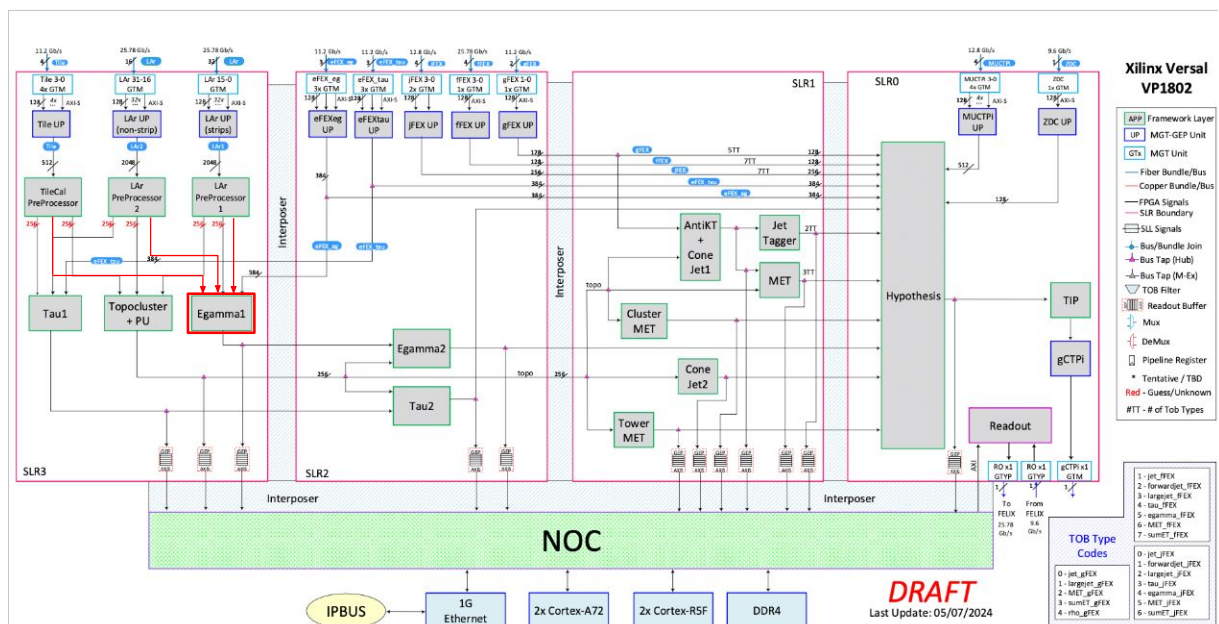


Figura 50 – Versão do diagrama de blocos da estrutura do *Global Event Processor* (GEP) considerada para o desenvolvimento do circuito do *NeuralRinger* no contexto dessa tese. Está destacado em vermelho o bloco que representa o algoritmo e suas respectivas fontes de dado de entrada.

A SLR0 é responsável por processar os dados dos calorímetros, dessa forma, os dados coletados pelos sistemas eletrônicos desses equipamentos são transmitidos para essa região através de fibras ópticas. Ao todo são 32 fibras do LAR, agrupadas em dois canais de transmissão distintos, um para *strips* (camada EM1) e outra para *non-strip* (demais camadas) e 4 do *TileCal*. Os blocos de *PreProcessor* são responsáveis por organizar e transmitir os dados das células dos calorímetros para serem processados pelos algoritmos. O LAR *PreProcessor1* é responsável por processar os

dados das células da camada EM1, enquanto que o LAr *PreProcessor2* das demais camadas (PS, EM2 e EM3), e o *TileCal PreProcessor* processa os dados das camadas do *Tile* (HAD1, HAD2 e HAD3).

Os blocos de *PreProcessor* organizam os dados para serem transmitidos para os algoritmos de acordo com o formato do *Trigger Object* (TOB). O *framework* define dois formatos distintos, um de 64 bits e outro de 128 bits. O formato utilizado para a implementação do *NeuralRinger* foi de 64 bits. A Tabela 5 mostra a definição desse formato.

Tabela 5 – Formato do *Trigger Object* de 64 bits definido pelo GEP e utilizado como formato do dado de entrada na implementação do *NeuralRinger*.

	Reserved	Alg versão	TOB status	#cells	# Seed Cells	ET Overflow	Layer	Et	Phi	Eta
width	10	6	4	3	5	1	3	13	8	11
MSB	63	53	47	43	40	35	34	31	18	10
Bit Slice	[63:54]	[53:48]	[47:44]	[43:41]	[40:36]	[35]	[34:32]	[31:19]	[18:11]	[10:0]

O *firmware* do GEP é estruturado de forma modular, no qual são definidos dois módulos específicos que devem ser utilizados pelos desenvolvedores dos algoritmos para serem embarcados no *framework*, são eles: *Algorithm Processing Platform* (APP) e *Algorithm Processing Unit* (APU). A APP é o módulo responsável por implementar os bancos de memória que armazenam os dados de entrada para os algoritmos e o resultado do processamento desses. Essas estruturas podem ser FIFO (*First-In, First-Out*) ou RAM. No APP é definido um banco de armazenamento para cada fonte de dado de entrada. Além disso, a APP implementa a interface entre o algoritmo e o *framework*. A APU é a unidade onde os algoritmos são implementados, sendo assim, na estrutura do GEP, cada algoritmo é implementado como uma APU. A interface da APU apenas se liga à sua respectiva APP.

O algoritmo do *NeuralRinger* foi implementado como uma APU, de modo a garantir a sua correta integração ao restante do sistema. O *firmware* desse algoritmo foi integrado ao repositório git do *framework*, seguindo o fluxo de trabalho desse repositório definido pelos desenvolvedores do GEP (DEVELOPERS, 2025).

Na Figura 51 é apresentado o diagrama de blocos da implementação do *NeuralRinger* integrado ao GEP. O sistema de hardware do GEP utiliza a estrutura de FIFO (*First In, First Out*), instanciada na APP, para a transmissão de dados entre o *framework* e os circuitos dos algoritmos. As FIFOs de entrada são utilizadas para armazenar as informações das células de cada evento enquanto a FIFO de saída armazena o resultado do processamento do algoritmo.

O algoritmo do *NeuralRinger* utiliza informações das células do Calorímetro de Argônio Líquido (*Liquid Argon* - LAr) e do Calorímetro Hadrônico de Telhas (*Tile Calorimeter* - TileCal). Assim, a APP foi configurado para ter três FIFOs, uma para cada fonte de dados de entrada (LAr *PreProcessor1*, LAr *PreProcessor2* e TileCal *PreProcessor*). O resultado do algoritmo, a decisão de *trigger*, é escrito em uma FIFO para ser utilizado pelos demais blocos da cadeia do sistema de *Trigger*.

O barramento de dados LAr tem 256 bits de largura e o barramento de dados Tile tem 128 bits de largura. Assim, considerando o formato de dados de 64 bits (Tabela 5), 4 células são armazenadas em cada posição da FIFO do LAr e 2 células do Tile. Para acessar as FIFOs, o

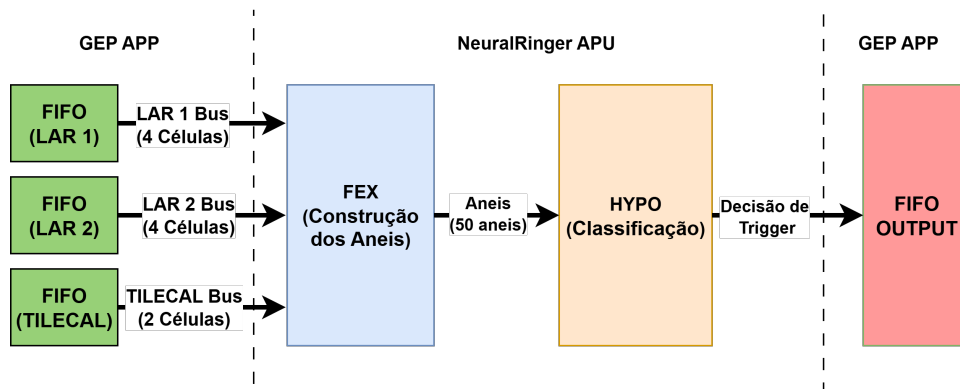


Figura 51 – O *NeuralRinger* e a integração com o GEP.

framework implementa um protocolo de comunicação específico, de modo que a APU precisa implementar uma máquina de estados responsável pela leitura e gravação dos dados nas FIFOs do APP. A Figura 52 ilustra o protocolo de transmissão de dados da FIFO.

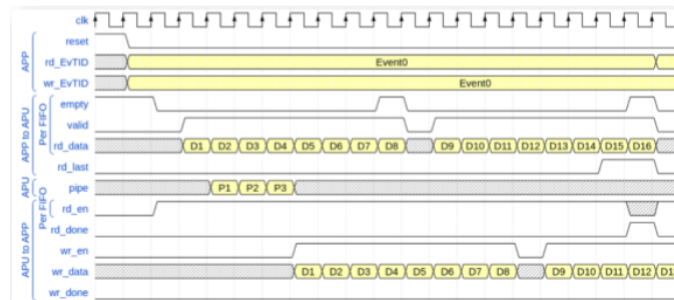


Figura 52 – Protocolo de transmissão de dados implementado para acesso das FIFOs da APP.

O *NeuralRinger* é dividido em duas etapas e, conforme pode ser observado nas Figuras 37 e 51, cada etapa foi implementada como um bloco diferente: a etapa de extração de características (*Feature Extraction* - FEX) e a de Classificação (*Hypothesis* - HYPO). Na primeira etapa, o circuito representado pelo bloco FEX lê os dados das células e constrói os 50 anéis, referentes às camadas do LAR e do *TileCal*. O circuito HYPO recebe os anéis e realiza a classificação, gerando a decisão de *trigger*. Essa decisão é a saída do circuito, que é gravada na FIFO de saída do GEP.

Diante do contexto de que o *framework* do GEP ainda está em processo de desenvolvimento, algumas questões técnicas ainda não encontravam-se completamente definidas. Portanto, foi necessário tomar algumas decisões de projeto para que se tivesse uma versão do circuito funcional de acordo com a lógica de funcionamento do algoritmo em nível de software. Dentre as decisões tomadas, destacam-se: codificação para os valores de E_t , η e ϕ e a definição e transmissão da *seed*.

Para a construção do circuito do FEX, diante da definição do formato do dado de entrada para os algoritmos do GEP (Tabela 5), foi preciso definir uma codificação para os valores de E_t , ϕ e η . Para cada dado, diante dos seus diferentes espaços de valores possíveis e quantidade de bits reservados pelo TOB do GEP, foram definidas diferentes codificações. Para o E_t , referente ao valor da energia transversa, o TOB do GEP reserva 13 bits para sua representação e, considerando a operação do GEP com corte em 2σ nos valores de energia, foi definida uma representação que considera apenas os valores positivos de energia. Na codificação do E_t , apresentada na Tabela 6,

foi utilizada uma técnica que estabelece 8 diferentes faixas de energia em MeV, sendo que, cada faixa possui um código e representa uma determinada resolução. A partir da definição da faixa em que a E_t está inserida, soma-se um *offset*. Desta forma, a palavra de 13 bits foi dividida em duas partes: 3 bits mais significativos para o código da faixa de energia e 10 bits para o *offset*.

Código	Resolução	<i>Offset</i>	E_t (MeV)
000	1 MeV	0	[0 – 1023]
001	2 MeV	1024	[1024 – 3071]
010	8 MeV	3072	[3072 – 11.263]
011	32 MeV	11.264	[11.264 – 44.031]
100	256 MeV	44.032	[44.032 – 306.175]
101	1024 MeV	306.176	[306.176 – 1.354.751]
110	8192 MeV	1.354.752	[1.354.752 – 9.743.359]
111	32.768 MeV	9.743.360	[9.743.360 – 43.297.791]

Tabela 6 – Técnica de codificação dos valores de energia transversa (E_t) implementada para construção do bloco FEX do *NeuralRinger* considerando a definição do formato do dado do GEP.

Para a codificação dos valores de η e ϕ , considerou-se que os mesmos são discretizados em intervalos ($\Delta\eta$ e $\Delta\phi$) que representam as menores granularidades entre as camadas. Como pode ser observado na Tabela 4, a menor granularidade em η é 0,003125 da EM1 e 0,025 em ϕ nas camadas EM2 e EM3. Desta forma, esses foram os valores utilizados para a discretização e representação dos valores reais de η e ϕ em inteiros em complemento de dois. Com base nessa codificação, para uma determinada célula i , os respectivos valores de η e ϕ calculados para serem processados pelo circuito são definidos pelas Equações 4.8 e 4.9. O uso dessa técnica de codificação, considerando que a TOB do GEP reserva 11 bits para η e 8 bits para ϕ , limita os valores representáveis em $\eta \in [-1024; 1023]$ e $\phi \in [-128; 127]$, permitindo a representação das seguintes regiões dos calorímetros $\eta \in [-3, 2; 3, 2]$ e $\phi \in [-\pi; \pi]$.

$$\eta = \frac{\eta_i}{\Delta\eta} \quad (4.8)$$

$$\phi = \frac{\phi_i}{\Delta\phi} \quad (4.9)$$

onde, $\Delta\eta = 0,003125$ e $\Delta\phi = 0,025$

Em relação às decisões sobre a *seed*, foi estabelecido que seria utilizada uma única *seed* para todas as camadas, ou seja, não foi implementada a técnica de refinamento da célula mais energética (*hottest cell*) em relação a cada camada. Neste contexto, a *seed* foi definida como ($\eta_{cluster}, \phi_{cluster}$). Além disso, foi estabelecido que o TOB referente a esta célula fosse transmitido como o primeiro dado do evento através do LAr1.

O circuito FEX foi implementado em estágios de *pipeline*. O algoritmo de construção dos anéis é composto por diferentes cálculos matemáticos (PINTO, 2022), implementados em diferentes estágios de *pipeline*. A Figura 53 mostra o diagrama de blocos da implementação do circuito do FEX e os seus respectivos estágios separados pelas linhas tracejadas.

O FEX é o circuito responsável por construir os anéis a partir dos dados das células. Dessa forma, esse circuito possui interface com o GEP para acessar as FIFOs que armazenam as

informações dos eventos. Neste circuito, para controlar a transmissão dos dados, foi implementada uma máquina de estados que realiza leituras sucessivas da FIFO até que todos os dados do evento tenham sido lidos. Em cada operação de leitura, um conjunto de células (quatro células do LAr 1, quatro do LAr 2 e duas do Tile) é lido e iniciado seu respectivo processamento no pipeline.

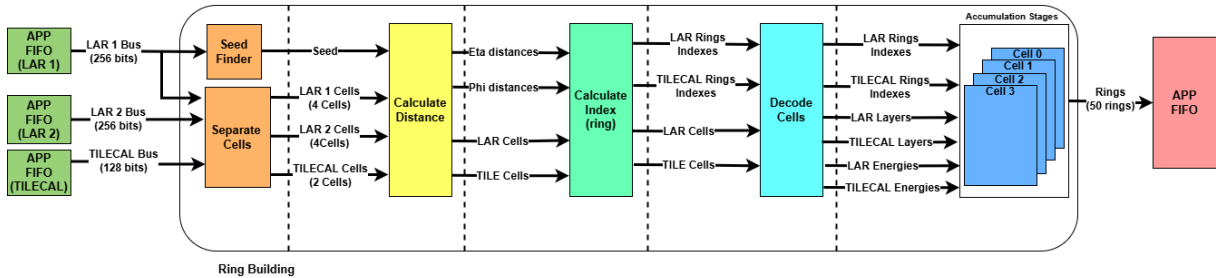


Figura 53 – Implementação do Circuito do *Feature Extraction* - FEX.

O primeiro estágio do *pipeline* é composto por dois circuitos: *Seed Finder* e *Separate Cell*. O primeiro é responsável por identificar e armazenar a semente (*seed*) utilizada pelo algoritmo como a célula mais quente, a partir da qual, são realizados os cálculos para identificação a qual anel cada célula pertence, e conseqüentemente, os anéis são construídos. O segundo bloco é responsável por separar e armazenar em diferentes registradores as células transmitidas pelos barramentos (LAR 1, LAR 2 e TileCal).

O segundo e terceiro estágio são responsáveis pela implementação da etapa do algoritmo do *NeuralRinger* que define a qual anel a célula pertence. O *Calculate Distance* se aproveita da geometria cilíndrica do calorímetro e calcula as distâncias, em coordenadas azimutais (η) e cilíndricas (ϕ), entre as células e a semente. O *Calculate Index* define, a partir do valor máximo entre as distâncias η e ϕ , o índice do anel ao qual cada célula pertence.

O estágio seguinte é responsável por decodificar os valores de energia de cada célula e extrair, a partir dos campos da TOB (Tabela 5), a informação sobre a qual camada cada célula pertence. O bloco *Decode Cells* gera, para cada célula, os valores de energia decodificados, o índice do anel e a camada a qual cada célula pertence. O barramento do LAr *PreProcessor 2* transmite as células das camadas PS, EM2 e EM3 e o barramento do *TileCal PreProcessor* transmite as células de todas as camadas do *Tile*, desta forma, para que o algoritmo realize a construção dos anéis para essas camadas, torna-se necessário que essas informações sejam extraídas da TOB e usadas pelo estágio seguinte. Além disso, o *framework* codifica os valores de energia de cada célula em 11 bits, desta forma, este bloco realiza a decodificação para 32 bits para que as operações de acúmulo sejam realizadas nos estágios seguintes.

Os últimos estágios do *pipeline* são responsáveis por acumular a energia de cada célula em seu respectivo anel. Em cada posição da FIFO são armazenadas quatro células, para o LAr 1 e LAr 2, e duas células para o *TileCal*. Desta forma, por leitura, até quatro células são processadas pelo *pipeline* em cada estágio. Para garantir o correto funcionamento da lógica de acúmulo das energias em seus respectivos anéis, a lógica para acumular a energia dessas células foi implementada em quatro estágios diferentes. Não existe uma organização das células que são enviadas para o algoritmo, podendo, por exemplo, todas as células de uma palavra da FIFO pertencerem ao mesmo anel ou a anéis distintos. O primeiro estágio acumula a energia

da primeira célula, o próximo estágio acumula a energia da segunda célula e assim por diante. Depois que todas as células de cada evento tiverem sido lidas e processadas pelo *pipeline*, os anéis serão formados e estarão disponíveis na saída do último estágio de acumulação. Neste ponto, o circuito FEX disponibiliza os anéis para o circuito da HYPO.

O circuito da HYPO é responsável por implementar a rede neural perceptron multicamadas (MLP). A arquitetura da rede implementada é composta por 50 nós de entrada, uma camada oculta com 5 neurônios e uma camada de saída com um neurônio. A função de ativação implementada nos neurônios da camada oculta foi a *ReLU* e no neurônio de saída, que realiza a classificação binária (candidato a elétron é relevante ou não), foi a sigmoide.

Essa topologia de rede foi selecionada após uma série de estudos comparativos envolvendo diferentes arquiteturas e configurações. O principal objetivo foi estabelecer um equilíbrio entre a eficiência na identificação de elétrons e a necessidade de execução extremamente rápida, uma vez que o algoritmo é operado no ambiente do *High-Level Trigger* (HLT) do ATLAS, que impõe severas restrições de latência. A configuração atual está em uso no sistema de *trigger* online desde 2017 (PINTO, 2022).

A MLP foi descrita em hardware utilizando a representação em ponto fixo no formato Q. As entradas foram codificadas em formato Q15 (16 bits), enquanto os pesos adotaram o formato Q7.15 (23 bits). A maior largura de palavra dos pesos foi necessária para acomodar operações intermediárias com maior precisão nos neurônios. A escolha desses formatos permitiu o alinhamento eficiente dos operadores aritméticos, simplificando a lógica de implementação dos neurônios.

A Figura 54 apresenta um diagrama simplificado da arquitetura da rede neural proposta. O circuito da HYPO foi projetado de forma que os parâmetros da rede (pesos e bias) pudessem ser configurados externamente. Essa estratégia é viável pois o *framework* implementa o protocolo *IPbus*, por meio do qual é possível mapear registradores para seres acessados externamente. Conforme representado na Figura 54, essa estratégia foi implementada por meio de um registrador com 261 posições, destinado ao armazenamento dos parâmetros necessários para a classificação dos anéis provenientes de diferentes regiões do detector.

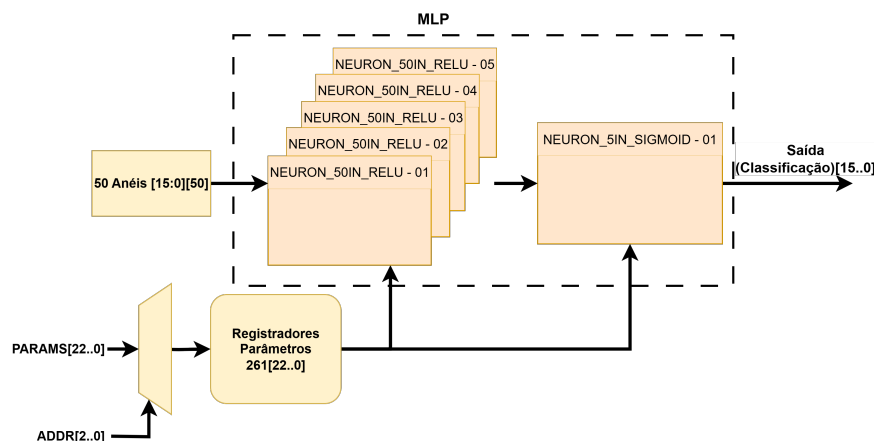


Figura 54 – Diagrama de blocos da implementação do bloco HYPO.

A descrição direta em hardware da função sigmoide impactaria na eficiência de operação

do circuito da HYPO, visto que esse cômputo envolve operações de divisão e exponenciação. Diante da necessidade de adotar estratégias de implementação eficientes no sentido de ocupação de recursos lógicos do FPGA, a utilização de *Look-Up Tables* (LUTs) foi descartada. Esse tipo de solução costuma utilizar uma quantidade significativa de unidades lógicas da FPGA.

Diante desse contexto, adotou-se uma abordagem baseada em uma aproximação linear por partes. Foram definidos intervalos no gráfico da função sigmoide, e, para cada intervalo, foi utilizada uma equação de reta que o aproxima. Com isso, a função é representada por um conjunto de expressões lineares simples, reduzindo significativamente a complexidade de implementação. O resultado dessa aproximação é apresentado na Figura 55.

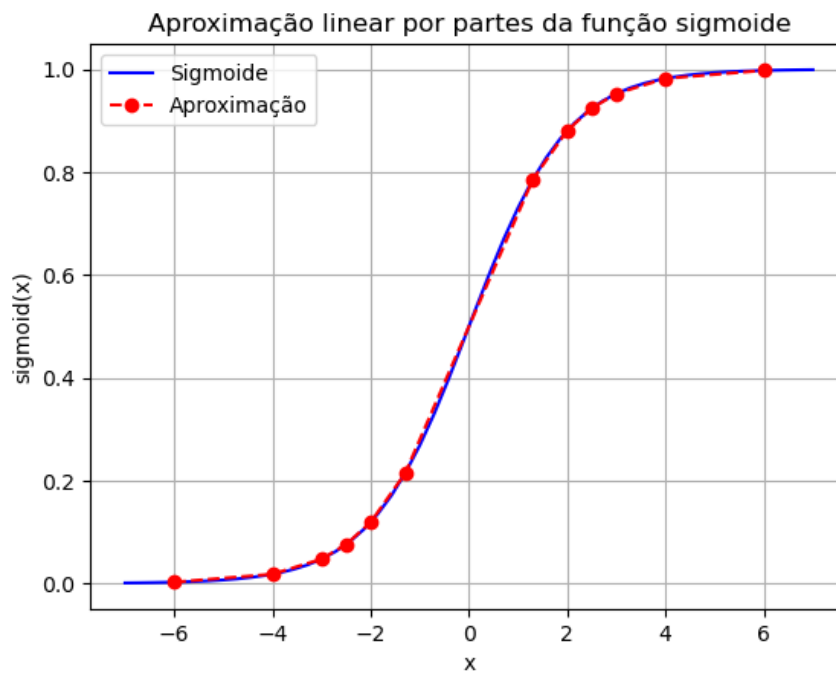


Figura 55 – Aproximação linear por partes da função sigmoide.

5 Resultados

Neste capítulo serão apresentados os resultados obtidos com a implementação em hardware de ambas as contribuições desta tese, os métodos de estimação de energia para o primeiro nível de *Trigger* do *TileCal* e o algoritmo do *NeuralRinger* integrado ao *Global Trigger*. Serão expostos tanto os resultados de simulação, para avaliação do desempenho dos algoritmos, como também os resultados da síntese em FPGA, para a análise da viabilidade da prototipação dessas soluções nos dispositivos que serão utilizados nos sistemas eletrônicos do ATLAS.

5.1 Resultados da Solução para Estimação de Energia

O circuito digital implementado para estimar a energia dos sinais medidos pelo calorímetro hadrônico do *ATLAS*, o *TileCal*, foi simulado e sintetizado, utilizando a ferramenta de desenvolvimento da Xilinx, o Vivado, e tendo como placa FPGA alvo a mesma utilizada no projeto do novo sistema eletrônico do *TileCal*, a *XC7VX485T*, da família *Virtex-7* da Xilinx.

Para realizar a simulação funcional, foi necessário gerar os dados de entrada simulados e a implementação de um modelo de referência, em software, para validação dos resultados obtidos com a execução do circuito. Para a geração dos valores de entrada, foi utilizado uma *Toy Monte Carlo Simulation*, que gera sinais com as características de sobreposição similares aos encontrados para o *TileCal* (NOVAKOVA, 2012-06-27). O modelo de referência foi implementado usando um script em MATLAB® que implementa as técnicas de deconvolução.

Na geração do pulso característico do *TileCal* sem *pileup*, utilizado para o desenvolvimento dos filtros propostos, foi considerado um conjunto normalizado de 7 amostras, correspondentes à resposta ao impulso de um canal do Calorímetro. Na Figura 56 observa-se a representação gráfica desses 7 pontos com fase zero.

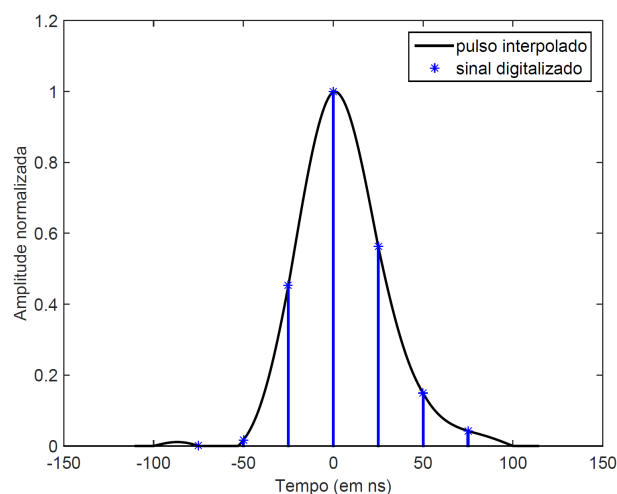


Figura 56 – Representação gráfica do pulso característico do *TileCal* (DUARTE, 2015).

O simulador, responsável por gerar os valores de energia do *TileCal*, foi projetado para

gerar os sinais afetados pelo *pileup* e as informações sobre a energia real. Ele considera o desvio de fase no momento da aquisição do sinal, a amplitude máxima e a ocupação do canal. O desvio de fase está relacionado à mudança de tempo da forma do pulso da instrumentação simulada a cada aquisição de sinal (amostragem). Esse efeito é implementado para simular que as partículas podem ter diferentes tempos de voo à medida que se propagam do ponto de colisão em direção à célula do sensor do calorímetro. O simulador considera esse desvio como sendo uniformemente distribuído no intervalo de ± 5 ns. Na Figura 57 observa-se a representação gráfica de exemplos do pulso característico com esse desvio de fase. O parâmetro de amplitude máxima é o valor máximo que o simulador pode atribuir a cada sinal gerado. A ocupação representa a porcentagem de *Bunch Crossing (BC)* com ruído de *pileup*.

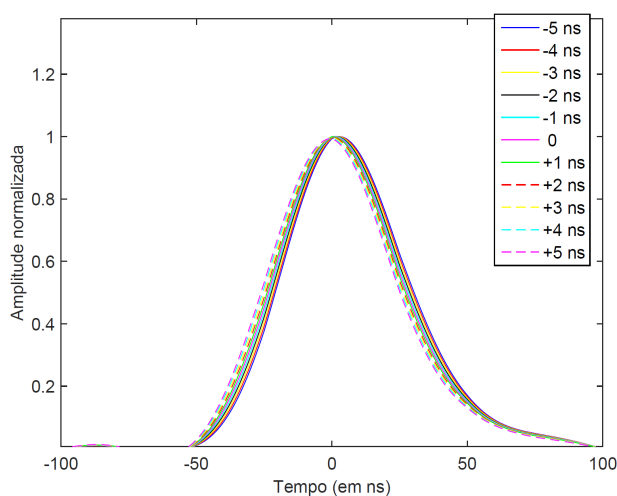
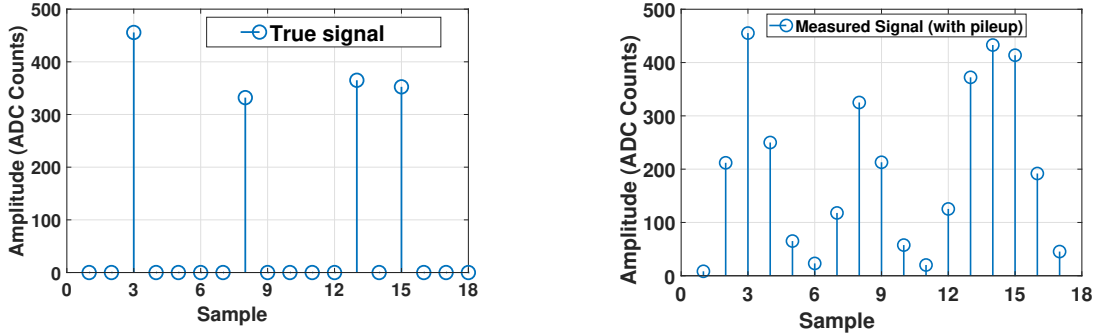


Figura 57 – Exemplos do pulso característico do *TileCal* com desvio de fase (DUARTE, 2015).

O método de geração de dados de simulação para um determinado parâmetro de ocupação consiste em quatro passos: primeiro, um conjunto aleatório de BCs é selecionado de um conjunto de dois milhões de BCs consecutivos; segundo, para os BCs selecionados, os valores "verdadeiros" de amplitude são gerados aleatoriamente a partir de uma distribuição exponencial, simulando eventos de bias mínimo com parâmetro médio definido como 600 MeV; terceiro, o sinal medido é baseado na sequência de superposição de sinais verdadeiros e na resposta de impulso do sistema; e quarto, o ruído gaussiano limitado à largura de banda é adicionado para emular os efeitos do ruído eletrônico.

Para gerar os resultados deste trabalho, foi considerado o seguinte caso: sensores que fornecem pulsos unipolares, comprimento de pulso de 7 amostras, nível de ocupação de 30% e amplitude máxima de 500 *ADCs counts*. A Figura 58a mostra o sinal verdadeiro simulado correspondente às energias depositadas no calorímetro, assumindo um período de 25 ns, enquanto a Figura 58b mostra o efeito do empilhamento simulado.

Para executar as simulações da arquitetura implementada para a estimação de energia, foi usado um ambiente de verificação implementado através de um *testbench*, que instancia o circuito, estimula as entradas e monitora as saídas resultantes. Dessa forma, foi possível averiguar que os sinais fossem enviados para o hardware considerando o protocolo previamente definido e que as saídas fossem monitoradas considerando o comportamento esperado do protocolo de saída.



(a) Representação gráfica de sinais reais simulados correspondentes à energia depositada no calorímetro (b) Representação gráfica de sinais afetados pelo *pileup* resultante da resposta do sistema

Figura 58 – Representação gráfica de sinais de energia simulados com e sem o efeito de empilhamento

Considerando a modularização da arquitetura implementada, o mesmo *testbench* foi utilizado para a simulação do método determinístico e iterativo.

5.1.1 Resultados de Simulação e Síntese do Método Determinístico

No caso do método FIR, as simulações foram executadas variando a ordem do filtro e usando o mesmo conjunto de sinais simulados. Os sinais de energia foram representados usando 12 bits e os coeficientes do filtro com 18 bits. Essas precisões digitais refletem análises preliminares destinadas a reduzir a perda de informações. As ordens de filtro simuladas foram 5, 10, 15 e 20.

Para avaliar o desempenho da estimativa da implementação do FPGA da abordagem do filtro FIR, foi utilizado o erro quadrático médio (RMSE):

$$\text{rmse} = \sqrt{\frac{1}{N} \sum_{i=1}^N (a_t - a_s)_i^2} \quad (5.1)$$

onde a_t é a amplitude do sinal verdadeiro simulado, a_s é a amplitude do sinal estimado e N representa o número de sinais de energia estimados gerados pela simulação.

A Tabela 7 mostra os resultados do erro quadrático médio considerando a estimação da energia gerada pelo circuito FPGA, pelo modelo de referência e os valores de energia reais gerados pelo simulador. O modelo de referência *off-line* foi implementado usando a função FIR correspondente no MATLAB. A coluna “Circuito vs. Valor real” representa o erro calculado entre a saída do FPGA e os valores verdadeiros simulados. “Referência vs. Valor real” representa o erro entre a implementação *off-line* (MATLAB) e os valores reais simulados. A última coluna representa o erro entre a saída do FPGA e o modelo de referência implementado no MATLAB. É possível observar que o projeto de hardware tem bom desempenho e tem comportamento próximo ao modelo de referência. As diferenças entre as implementações *off-line* e em FPGA aparecem principalmente devido a efeitos de comprimento de palavra finito. No circuito foi usado a precisão do comprimento de palavra de 12 bits e, nesse caso, os desvios de RMSE do modelo de referência *off-line* são menores que 0,5 contagens de ADC.

A Figura 59 e a Figura 60 mostram gráficos de dispersão e histogramas para a resposta do circuito implementado quando executado com o filtro FIR de ordem 20, em comparação com os sinais reais simulados e com o resultado do modelo de referência *off-line* implementado no

Tabela 7 – Resultados do erro quadrático médio (em contagens de ADC) da implementação do filtro FIR do FPGA (método de coeficientes fixos) variando a ordem do filtro.

Ordem do Filtro	Circuito vs Valor Real	Referência vs Valor Real	Circuito vs Referência
Ordem 5	24,95	24,95	0,37
Ordem 10	19,86	19,84	0,45
Ordem 15	19,33	19,32	0,46
Ordem 20	19,21	19,20	0,47

Matlab. Por meio dessas análises, é possível confirmar que o *hardware* implementado é capaz de estimar a energia de forma satisfatória.

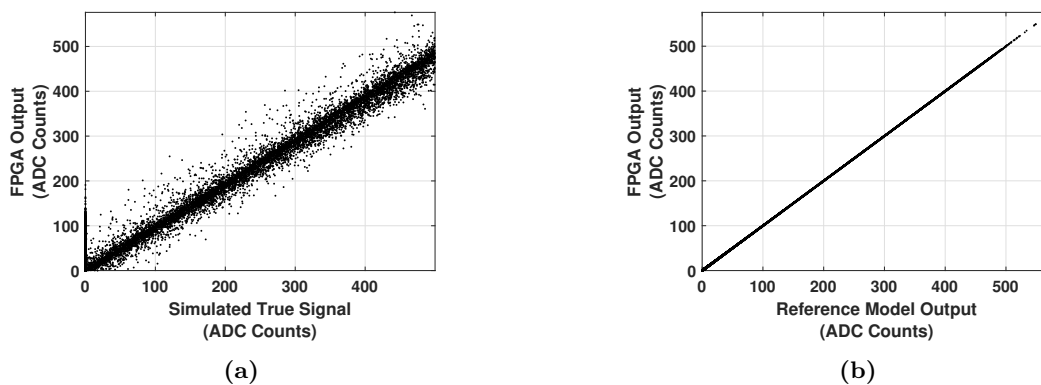


Figura 59 – Gráficos de dispersão para a energia estimada usando a implementação do filtro FIR em FPGA (ordem 20) em comparação com (a) os sinais reais e (b) a implementação do filtro FIR *off-line*

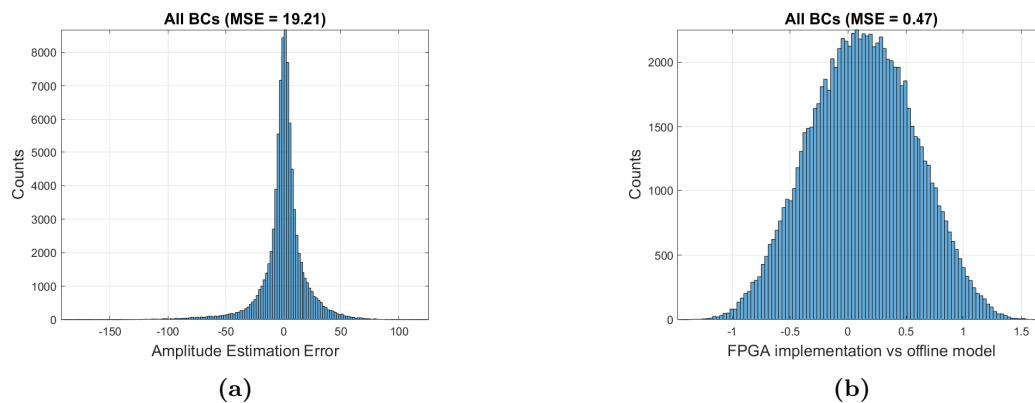


Figura 60 – Histogramas dos erros da estimação da energia usando a implementação do filtro FIR em FPGA (ordem 20) em comparação com (a) os sinais reais simulados e (b) a implementação do filtro FIR *off-line*

Além da simulação funcional, executou-se a síntese lógica para que fosse possível avaliar o desempenho do circuito implementado nos quesitos de ocupação de recursos lógicos e temporização de caminhos críticos. A Tabela 8 mostra os resultados de utilização de registradores, LUTs e DSP para a implementação do circuito do Filtro FIR de Ordem 20. Esses resultados indicam a viabilidade de embarcar a arquitetura implementada no sistema eletrônico do *TileCal*, visto que possui uma baixa utilização dos recursos do FPGA.

Em relação à temporização, o caminho de dados do sinal crítico para a velocidade de processamento é determinado pelas estruturas DSP usadas para operações de multiplicação. Na

Tabela 8 – Utilização dos recursos lógicos da implementação do filtro FIR com ordem 20 tendo como dispositivo alvo a FPGA Xilinx XC7VX485T.

Componente	Utilizado	Disponível	Ocupação
Registradores	4467	607200	0,74%
LUTs	2392	303600	0,79%
DSPs	21	2800	0,75%

primeira versão, esse caminho foi sintetizado com um atraso de 3,351 ns. Entretanto, seguindo as instruções da Xilinx (XILINX, 2018), essas estruturas puderam ser otimizadas usando três estágios de pipeline, pois isso permitiu a execução do bloco DSP em velocidade máxima. A Figura 61 mostra o caminho de dados para multiplicação do dispositivo DSP48, em que os registradores do pipeline são mostrados como A1, B1, M e P. Após essa otimização, o período mínimo de *clock* para a arquitetura proposta foi de 1,879 ns, alcançando 44% de redução.

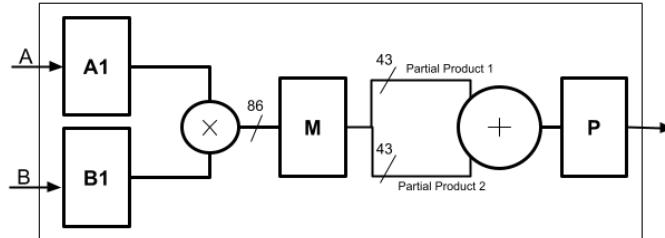


Figura 61 – Diagrama do caminho de dados da operação de multiplicação do DSP48 da placa FPGA da Xilinx.

5.1.2 Resultados de Simulação e Síntese do Método Iterativo

Para a simulação do circuito com a instância do método iterativo no bloco de processamento dos dados, os sinais de energia também foram representadas em ponto fixo com resolução de 12 bits. Além da energia, esse método exige a utilização de um fator de relaxamento, o μ . Com o objetivo de tornar o projeto viável para ser implementado em *hardware*, foi decidido não realizar o cálculo desse fator a cada iteração, considerando-o como um valor constante definido na Equação 5.2, onde λ_{max} representa o maior autovalor de $\mathbf{H}^T \mathbf{H}$. O fator de relaxamento também foi representado com 12 bits.

$$\mu = \frac{2}{\lambda_{max}} \quad (5.2)$$

A estimação da energia através do Gradiente Descendente Positivo utiliza a informação referente ao pulso característico do *TileCal*, responsável por compor os elementos da matriz \mathbf{H} . Esse pulso é formado por 7 amostras, representadas com 12 bits e, nessas simulações, sem desvio de fase.

Diferentemente do FIR, o método iterativo requer processamento de sinal baseado em janelas. De acordo com estudos anteriores (DUARTE et al., 2019), quando o calorímetro opera em condições de alto empilhamento, o algoritmo do GDP estabiliza o erro da estimativa dos sinais de energia com janela composta por 25 ou mais amostras. Devido Devido à operação de deconvolução e ao pulso característico do sensor ser descrito por 7 amostras, quando uma janela de entrada com 25 amostras for considerada, após iterações sucessivas, a saída do FPGA

gerará 19 amostras. Além disso, essa técnica iterativa com janelas também exige que o número de iterações seja definido. Portanto, para realizar essa análise, o comprimento da janela foi fixado e foram realizadas simulações, alterando o número de iterações até 100, aumentando em etapas de 5. O erro se estabilizou entre 45 e 50 iterações.

A Tabela 9 mostra os resultados em termos de RMSE, enquanto a Figura 62 mostra como o RMSE varia quando o número de iterações é aumentado. Na Tabela 9, o resultado de todas as colunas foi calculado com a Eq. 5.1. A coluna “Circuito vs. Valor Real” representa o erro calculado entre a saída do FPGA e os valores reais simulados. A coluna “Referência vs. Valor Real” representa o erro entre a implementação *off-line* (MATLAB) e os valores reais simulados. A última coluna representa o erro calculado entre a saída do FPGA e o modelo de referência implementado no MATLAB.

Tabela 9 – Resultados do erro quadrático médio (em contagens de ADC) do método iterativo, variando o número de iterações

Iterações	Circuito vs Valor Real	Referência vs Valor Real	Circuito vs Referência
10	9,52	9,55	0,10
20	9,06	9,08	0,10
30	8,88	8,89	0,08
40	8,82	8,83	0,07
50	8,79	8,80	0,06
60	8,78	8,79	0,06
70	8,78	8,79	0,06
80	8,78	8,79	0,06
90	8,79	8,80	0,06
100	8,79	8,80	0,06

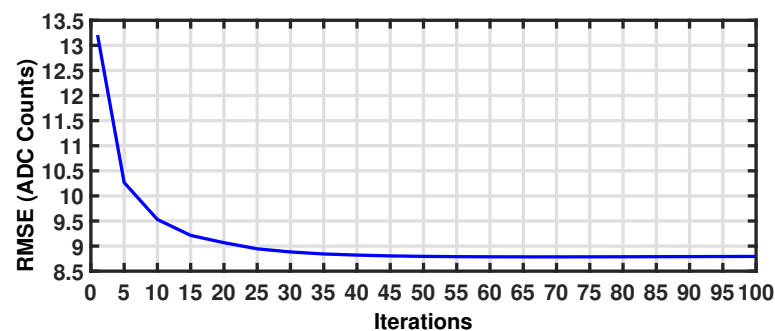


Figura 62 – Resultados do erro quadrático médio (em contagens de ADC) da implementação do algoritmo do Gradiente Descendente Positivo variando o número de iterações.

No método iterativo, o erro de estimativa pode aumentar quando as amostras de um determinado evento estão em duas janelas subsequentes, conhecido como efeito de borda. Para atenuar esse problema, amostras de cada janela de sinal estimado (superior e inferior) foram descartadas. Para garantir que todas as amostras sejam reconstruídas, a etapa em que a janela desliza pelos sinais de entrada deve considerar o número de amostras descartadas. O procedimento de descarte é ilustrado na Figura 63. No cenário em que o tamanho da janela é de 25 amostras, de acordo com a análise apresentada na Figura 13, definiu-se o descarte de três amostras de cada borda, superior e inferior.

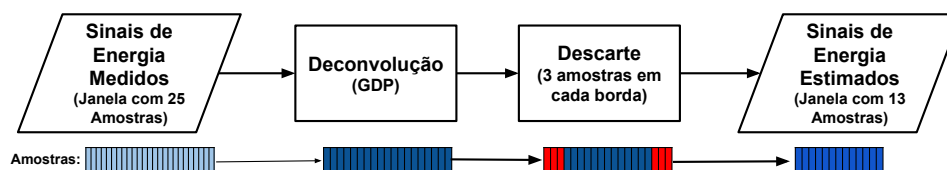


Figura 63 – Diagrama de blocos ilustrando o processo de descarte de amostras da janela de saída do GDP. O GDP processa uma janela de 25 amostras e gera uma saída com 19 amostras, das quais seis são descartadas de cada borda (superior e inferior), gerando um resultado com 13 amostras.

O impacto do descarte de amostras foi analisado usando uma janela de entrada com 25 amostras processadas por 60 iterações. A Figura 64 mostra como o erro da estimativa varia com a quantidade de amostras descartadas em cada borda da janela. Observa-se que o erro estabiliza a partir de três amostras descartadas em cada borda.

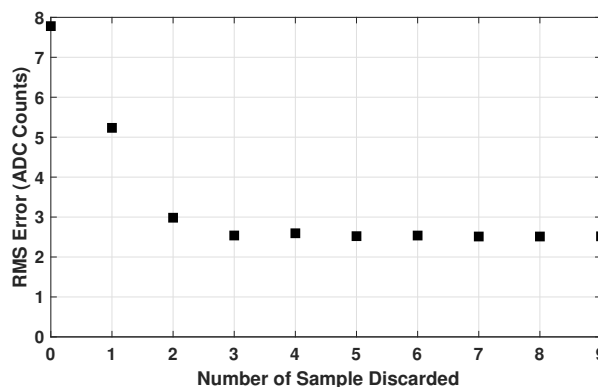


Figura 64 – Erro quadrático médio da implementação do Gradiente Descendente Positivo em FPGA variando o número de amostras descartadas em cada borda da janela.

Também foi executada a síntese lógica da arquitetura com a instância do algoritmo do método iterativo. Na Tabela 10 são registrados os resultados referentes ao uso de elementos lógicos, registradores e instâncias de estruturas de DSPs. A ocupação dos multiplicadores se deve ao grande número de operações de multiplicação associadas à execução de operações em paralelo para atingir os requisitos de tempo de processamento *on-line* do sistema eletrônico do *TileCal*. Esses resultados, apesar de consumirem mais recursos lógicos da FPGA em relação a implementação do FIR, demonstram a viabilidade dessa solução para ser embarcada no sistema eletrônico do *TileCal*.

Tabela 10 – Utilização dos recursos lógicos da implementação do método iterativo tendo como dispositivo alvo a FPGA Xilinx XC7VX485T

Componente	Utilizado	Disponível	Ocupação
LUTs	32072	303600	10,56%
Registradores	55476	607200	9,14%
DSPs	480	2800	17%

A ferramenta de síntese reportou que os caminhos críticos de dados da implementação do GDP abrangeram as operações de multiplicação. A maior complexidade dessas operações ocorre na implementação das Equações 4.4 e 4.6 devido às multiplicações de matrizes.

Para atingir uma frequência de operação do circuito viável, foi necessário usar estratégias

de projeto de hardware para melhorar o desempenho. Nesse caso, os caminhos de dados críticos precisavam ser reduzidos por meio da remodelagem das etapas de cálculo das Equações 4.4 e 4.6. Essas modificações consistiram na execução das multiplicações e somas necessárias para calcular cada termo das matrizes resultantes em estados distintos, modificando a máquina de estados. Com essa técnica, apesar de aumentar o número de ciclos de *clock* para a execução de uma iteração, foi possível remover as instâncias de DSP em cascata responsáveis por aumentar a temporização nesse caminho de dados. A figura 65 ilustra a estratégia utilizada para reduzir o caminho crítico dessas operações. Como resultado, a ferramenta de síntese reportou que o tempo de execução do caminho crítico foi reduzido de 12,43 ns para 1,896 ns, apresentando uma redução de 85%.

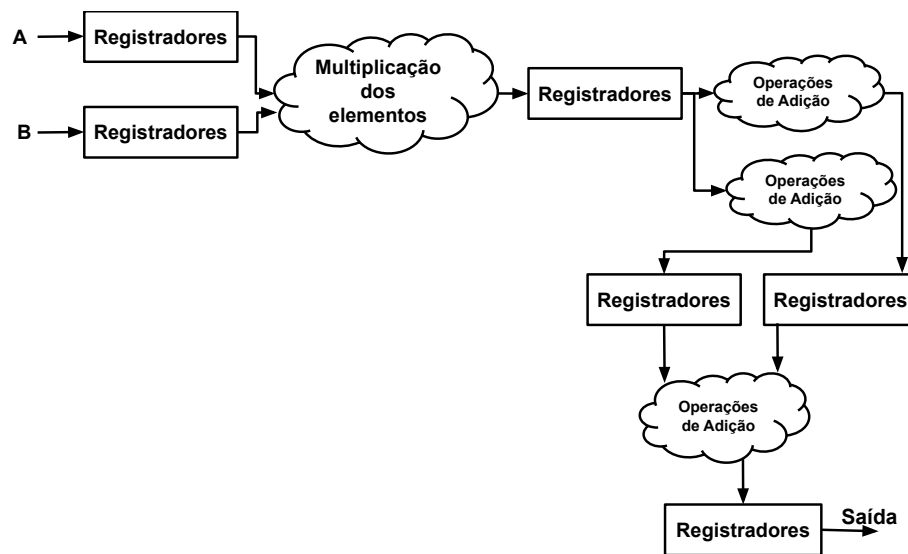


Figura 65 – Diagrama do circuito combinacional proposto para multiplicação de matrizes para reduzir o tempo de resposta.

5.2 Resultados da Implementação do *NeuralRinger*

O circuito do *NeuralRinger* foi implementado integrado ao GEP, ou seja, a arquitetura foi projetada como uma APU, considerando todos os aspectos de interface e execução do *framework*. Dessa forma, esse circuito foi simulado integrado ao *framework*. O GEP possui uma estrutura de simulação em que é possível simular os circuitos dos algoritmos que serão embarcados considerando a estrutura do *framework*, em que os dados dos eventos e os resultados gerados pelo circuito são armazenados em FIFOs e transmitidos através de um protocolo de comunicação específico. Na Figura 66 é apresentado um diagrama de blocos que representa a estrutura de simulação implementada.

O ambiente de simulação do *framework* lê os dados dos eventos que serão utilizados na simulação a partir de arquivos de texto. Cada fonte de dados do algoritmo possui um arquivo de entrada específico, sendo que, no caso do *NeuralRinger*, foram gerados três arquivos: *LAR1 Input File*, *LAR2 Input File* e *TileCal Input File*. A base de dados utilizada para simular o circuito do *NeuralRinger* foi gerada pelo *Lorenzetti*. O *Lorenzetti* é um *framework* público que implementa uma descrição geométrica similar ao ATLAS e que permite ter acesso a informações

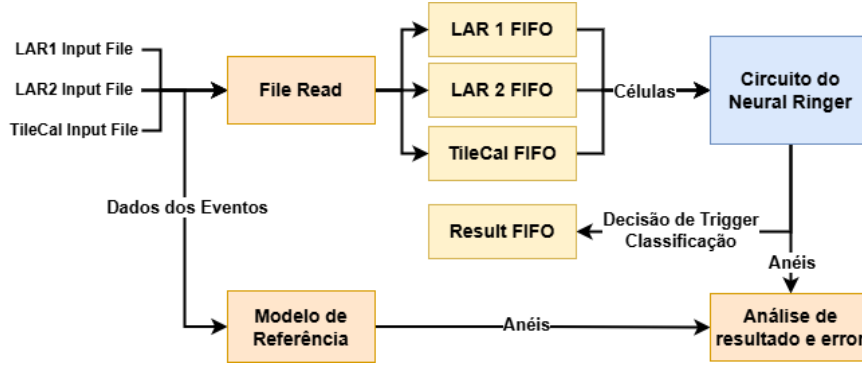


Figura 66 – Diagrama de Blocos do Ambiente de Simulação da implementação do *NeuralRinger* integrado ao *Global Event Processor*.

mais próximas dos sistemas de instrumentação e, conseqüentemente, possibilitando os estudos de *trigger*, eletrônica, etc (ARAÚJO et al., 2023). Com esse simulador, foi possível gerar dados simulados de eventos de colisões e ter acesso tanto as informações das células como dos anéis construídos em sua cadeia de processamento. Desta forma, as informações das células foram utilizadas para estimular o circuito e os anéis construídos pelo circuito foram validados com os anéis gerados pelo *Lorenzetti*.

Para a geração dos arquivos de simulação, foi criado um código em Python que acessa uma base de dados de eventos gerado pelo *Lorenzetti* e que considera as condições de operação em alta luminosidade, e, a partir do formato do dado do GEP, gera os dados a serem processados pelo circuito. Cada linha do arquivo representa um dado gerado pelo bloco de *PreProcessor* e, conseqüentemente, uma posição da FIFO. Por exemplo, o *LAR1 Input File* representa o *LAR PreProcessor 1*, logo, cada linha do arquivo é um binário de 256 bits, o que, considerando o formato do dado de 64 bits, representa as informações de 4 células da *EM1*. Sendo assim, o *testbench* do GEP possui a função *File Read* que é responsável por ler os arquivos de entrada e gravar os dados nas FIFOs.

Para avaliar o comportamento do circuito do FEX, responsável pela construção dos anéis, foram executadas múltiplas simulações com um conjunto de dados de elétrons, gerados pelo simulador, de 16.476 eventos. Na Figura 67 é apresentado o perfil médio dos 50 anéis construídos pelo *Lorenzetti* com a base de dados utilizada para simulação do circuito do *NeuralRinger*.

Na Figura 68 é apresentado o perfil médio dos valores normalizados de energia dos 50 anéis construídos pelo circuito. A partir da análise das Figuras 67 e 68, verifica-se a similaridade no perfil dos anéis construídos pelo circuito e pelo *Lorenzetti*. Em ambos os gráficos observa-se o pico de energia, indicando a célula mais energética (*Hottest Cell*), presente nos primeiros anéis da *EM2*. Tal comportamento decorre de, no *NeuralRinger*, os anéis serem construídos a partir de uma janela (RoI) de $\eta \times \phi = 0,2 \times 0,2$, a qual é formada a partir de uma célula mais energética da camada *EM2*. Na implementação do circuito, a *hottest cell* da *EM2* foi considerada como *seed* para todas as demais camadas dos calorímetros eletromagnético e hadrônico, enquanto que no simulador ocorre o refinamento da posição da *seed*, a partir da posição da *seed* da *EM2*, para as demais camadas. Desta forma, o índice dos anéis de todas as células é calculado com as informações de posição, em η e ϕ , da *EM2*. Essa diferença de implementação pode ser observada

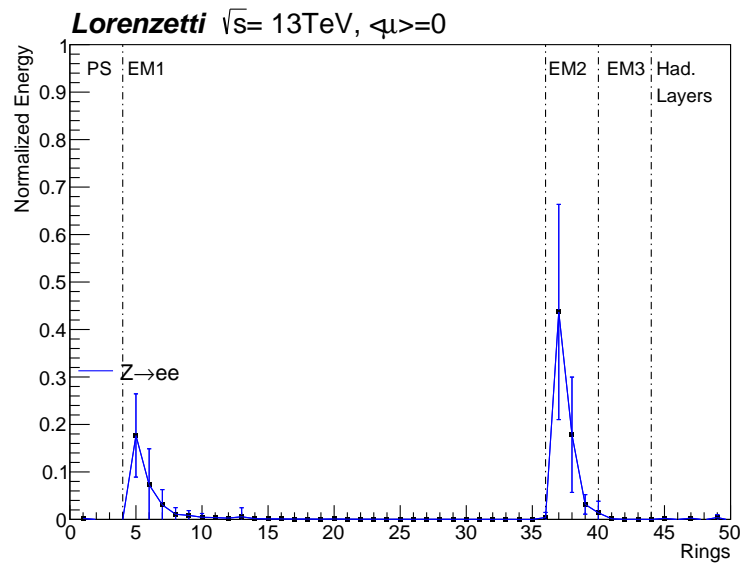


Figura 67 – Perfil dos 50 anéis construídos no *Lorenzetti* utilizando a mesma base de dados para estimular o circuito.

na EM1, que apresenta diferença no perfil dos primeiros anéis.

Além do refinamento, outro fator de implementação do circuito que afeta o perfil dos anéis é o corte da energia em 2σ em operação no GEP. A construção dos anéis no *Lorenzetti* considera energias negativas, o que não ocorre na base de dados utilizada, por não realizar o corte em 2σ , sendo assim, na geração dos arquivos para o *testbench*, essas energias foram zeradas.

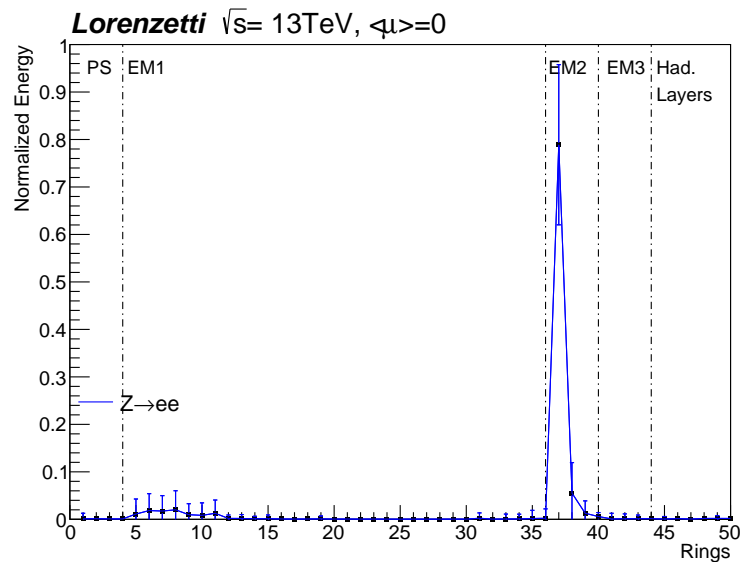


Figura 68 – Perfil dos 50 anéis construídos pelo circuito utilizando a base de dados gerada pelo simulador *Lorenzetti*.

Como o circuito foi projetado para operar somente com ponto fixo e os dados gerados pelos eventos do *Lorenzetti* são valores reais, foi realizada análise de erro considerando os anéis construídos pelo circuito, representados em formato inteiro, com dados reais gerados pelo modelo de referência. Com os resultados obtidos, foi construído o gráfico de barras do erro médio relativo

e o desvio padrão, apresentado na Figura 69. O erro relativo foi calculado a partir da divisão do erro absoluto (diferença entre o anel construído no simulado e no circuito) pelo valor do anel gerado pelo *Lorenzetti*. Nesse gráfico observa-se o impacto da quantidade de 13 bits definida pelo GEP para representar os valores de E_t e da técnica de codificação utilizada para representar esses valores reais de energia transversa. Na Figura 70 estão representados os níveis de energia gerados pelo *Lorenzetti* na base de dados utilizada na simulação do circuito.

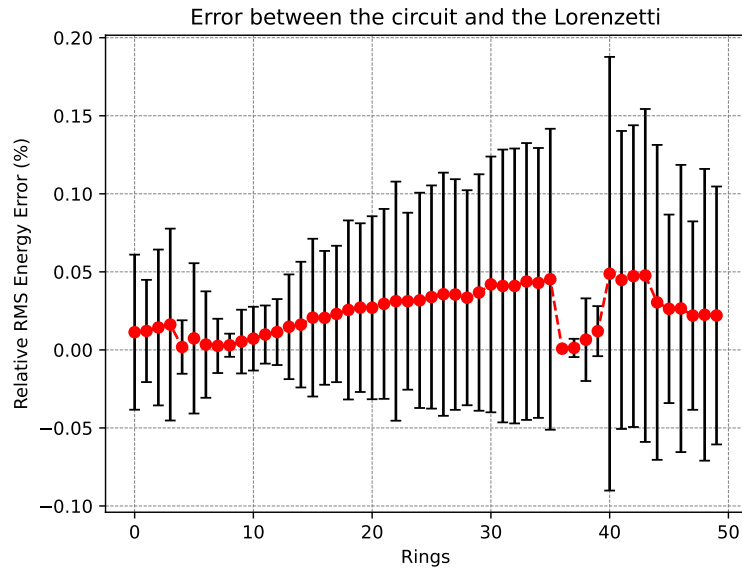


Figura 69 – Erro quadrático médio (círculos vermelhos) e desvio padrão para cada anel, calculados para todos os eventos disponíveis, considerando a saída do circuito e da referência para valores reais.

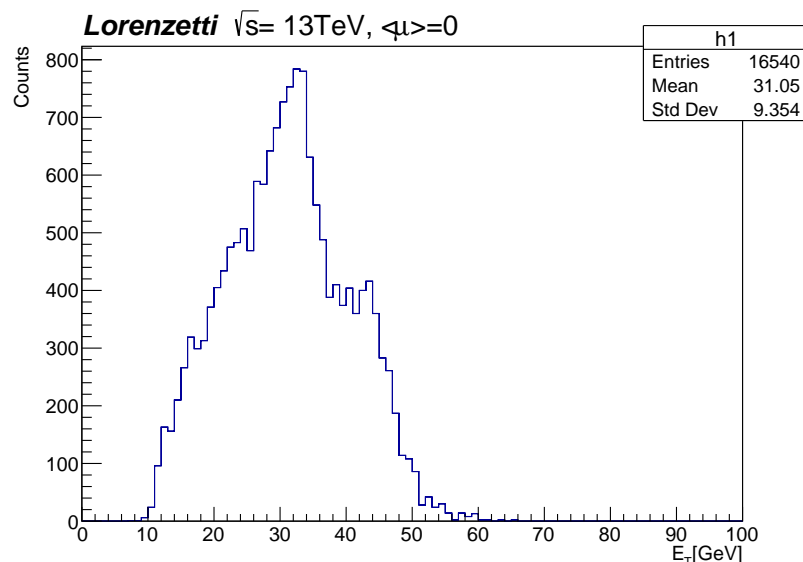


Figura 70 – Representação gráfica dos níveis de energia gerados pelo *Lorenzetti* para a base de dados utilizadas para a simulação do *NeuralRinger*.

Além da simulação funcional, também foi executada a síntese e gerados os resultados de ocupação de recursos lógicos da placa FPGA. O projeto do GEP utiliza o FPGA Virtex UltraScale+ VCU118(DUDLEY et al., 2020), desta forma, a síntese do circuito de construção dos

anéis foi sintetizado para esta placa. Na Tabela 11 são apresentados os resultados de utilização de *LookUp Tables (LUT)*, de estruturas de *LUT* configuradas como memórias *RAM*, as *Look-Up Table RAM (LUTRAM)*, de Flip-Flops (FF) e de blocos de memória *RAM* dedicadas, as *Block Random Access Memory (BRAM)*.

Tabela 11 – Utilização de recursos lógicos da síntese do circuito de construção dos anéis para a placa FPGA Virtex UltraScale+ VCU118

Recurso	Disponível	Estimativa de Utilização	Utilização %
LUT	1182240	16730	1,42
LUTRAM	591840	103	0,02
FF	2364480	22797	0,96
BRAM	2160	30,50	1,41

O circuito da etapa HYPO do algoritmo, que implementa a rede neural MLP, foi verificado utilizando dados simulados também gerados pelo Athena. Para que esses dados pudessem ser utilizados na implementação em hardware, foi adotada a técnica de convertê-los de ponto flutuante para ponto fixo no formato Q, sendo Q15 (16 bits) para as entradas referente aos anéis e Q7.15 (23 bits) para os parâmetros da rede. Estudos preliminares (FERREIRA et al., 2025) avaliaram o desempenho da rede neural para o *NeuralRinger* e, a partir do treinamento realizado nesse nível de software, foram gerados os parâmetros da rede e utilizados na simulação do circuito. Essa rede avaliada em software foi utilizada como modelo de referência para a validação do comportamento do circuito. A simulação do circuito foi executada com dados gerados em software de várias regiões do calorímetro, e, para cada região, foram usados 20 conjuntos de 50 amostras de anéis.

Para validar o comportamento do circuito da HYPO, foram realizadas duas análises de erro. Na primeira, para verificar possíveis erros de quantização, foi calculado o erro entre as saídas de ambas as redes. Nessa análise, a rede foi simulada com os valores em ponto fixo e o modelo de referência com os valores reais. A Figura 71 apresenta o histograma desses erros. A partir dessa análise, observa-se que cerca de 58% dos erros ficaram abaixo de 0,01, sendo o maior erro encontrado igual a 0,042, registrado em apenas 3 amostras.

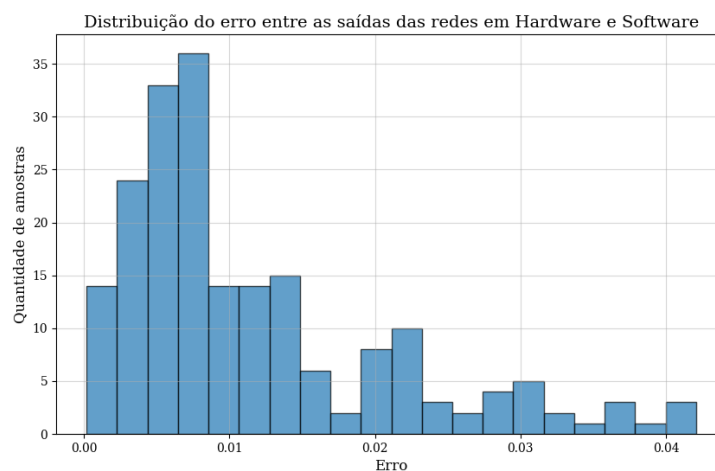


Figura 71 – Histograma de distribuição do erro entre os valores de saída da rede em Hardware e Software

Na segunda análise de erro, considerando que os parâmetros da rede são alterados de

acordo com a região do calorímetro, foi realizada uma comparação do erro quadrático médio (RMSE) para diferentes regiões. A Figura 72 mostra o gráfico de barras do erro médio normalizado e o desvio padrão gerado com os resultados das simulações do circuito e do modelo de referência para as diferentes subdivisões do espaço de fase $\eta \times Et$. Embora algumas apresentem um desvio padrão ligeiramente maior, os valores de erro da rede em hardware em relação à implementação em software são pequenos, indicando um desempenho aceitável da rede após a quantização e a viabilidade da sua utilização no projeto do *NeuralRinger*.

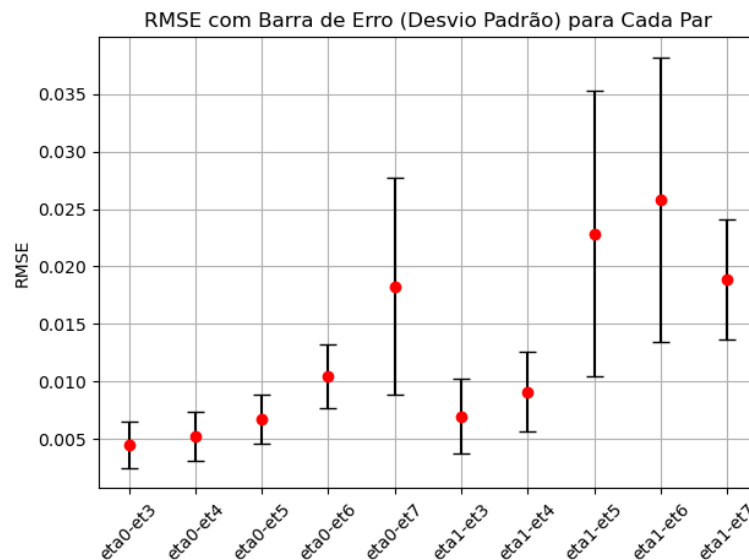


Figura 72 – Erro Quadrático Médio entre as saídas da rede em Hardware e Software por região do calorímetro

Para avaliação da utilização de recursos lógicos, foi realizada a síntese lógica do circuito da HYPO para a *FPGA Virtex UltraScale+ VCU118*. A Tabela 12 apresenta os dados obtidos com a síntese. Além dos recursos de *LUT* e *FF*, a síntese inferiu a utilização de estruturas de *Digital Signal Processors (DSPs)*, devido às operações aritméticas presentes no algoritmo da *MLP*.

Tabela 12 – Utilização de recursos lógicos da síntese do circuito de uma rede neural artificial implementada no HYPO para a placa FPGA Virtex UltraScale+ VCU118

Recurso	Disponível	Estimativa de Utilização	Utilização %
LUT	1182240	1413	0,12
FF	2364480	6093	0,26
DSP	6840	265	3,87

6 Conclusão

O *Large Hadron Collider* (LHC) é um importante equipamento para as pesquisas na área da Física de Partículas. Como o maior e mais energético acelerador de partículas já construído, o *LHC* tem possibilitado a investigação de fenômenos fundamentais da natureza em escalas de energia nunca antes alcançadas em laboratório. A descoberta do bóson de Higgs, em 2012, demonstra seu papel na validação do Modelo Padrão e na exploração de possíveis novas áreas da Física. Visando estender seu potencial científico, o detector possui um programa de atualizações em que, a cada fase, ocorre o aumento da luminosidade instantânea (taxa de colisões) e da luminosidade integrada (número total de colisões). A *Run-4*, a fase de alta luminosidade, prevista para entrar em operação em 2030, na qual o *LHC* será atualizado para o *High-Luminosity LHC (HL-LHC)*, busca aumentar significativamente sua energia nominal e o número médio de interações por colisão, permitindo análises mais precisas e abrindo caminho para a observação de novos processos físicos.

Entre os experimentos que compõem o LHC, o ATLAS se destaca por sua complexidade, abrangência e capacidade de investigação. Projetado como um detector de propósito geral, o ATLAS é responsável por medir, com alta precisão, as propriedades das partículas produzidas nas colisões, utilizando sistemas de rastreamento, calorimetria e detecção de múons. Sua arquitetura modular e seu sistema de aquisição e seleção de eventos permite a coleta seletiva de eventos relevantes em um ambiente de alta taxa de dados. Para que esse detector possa lidar com o novo ambiente de operação em alta luminosidade e geração de eventos, a operação do *HL-LHC* exige uma completa reformulação do sistema de aquisição e seleção do eventos do ATLAS e dos sistemas eletrônicos dos calorímetros que o compõe.

Nesse cenário, no âmbito do *TileCal*, os sinais processados pelos sensores serão afetados pelo efeito de sobreposição de eventos adjacentes, conhecido como *pileup*. Esse efeito provoca a distorção do padrão dos eventos e, conseqüentemente, irá afetar o desempenho do *trigger*. Dessa forma, tornou-se necessário a atualização da eletrônica dos calorímetros e, no âmbito do *TileCal*, foi adicionado um componente de hardware, baseado em FPGA, no qual serão embarcados algoritmos para estimação de energia. Nesse contexto, uma das contribuições dessa tese foi a concepção de uma arquitetura em FPGA que implementa algoritmos de estimação de energia e que atende aos requisitos de funcionamento do novo sistema eletrônico do *TileCal*.

Diante da inviabilidade de operação do método de estimação até então implementado, devido à característica do filtro casado se basear no conhecimento do padrão dos sinais, que serão distorcidos pelo *pileup*, foram investigados o desempenho de dois diferentes métodos. Uma das abordagens foi a determinística, baseada na implementação de um Filtro FIR, e outra iterativa, baseada no Gradiente Descendente Positivo. De acordo com os resultados obtidos do desempenho dos algoritmos na estimação de energia, na implementação do FIR observou-se que o erro aumentou com a ordem do filtro, mas foi sempre abaixo de 1 *ADC Count*, que é, na prática, a resolução mínima do sinal. A implementação do Gradiente Descendente Positivo

também apresentou valores baixos de RMSE e consideravelmente menores quando comparados ao FIR. Neste método, o erro estabilizou em 0,06 *ADC counts* após 50 iterações. Nesse aspecto, com relação à estimação dos sinais de energia, o algoritmo GDP apresentou melhor desempenho.

Com a síntese lógica da arquitetura de hardware da solução para estimação de energia, pode-se verificar a viabilidade da implementação de ambos os algoritmos são viáveis. A síntese do circuito com a instância do filtro FIR utilizou 0,74% de registradores, 0,79% de LUTs e 0,75% de DSPs, enquanto que a síntese com a instância do GDP utilizou 9,14%, 0,56% e 17%, respectivamente. Observa-se o aumento da utilização de recursos lógicos do método iterativo devido à sua maior complexidade nas operações aritméticas, decorrente de multiplicações matriciais.

Em relação aos resultados de análise de temporização para a placa FPGA XC7VX485T da Xilinx para a solução da estimação de energia, a análise da frequência máxima suportada pelos circuitos foi obtida através do relatório de temporização dos caminhos críticos gerados pela ferramenta de síntese. Os resultados mostraram que os caminhos críticos na análise de temporização envolviam as operações aritméticas, principalmente as multiplicações. Neste trabalho, diferentes técnicas foram implementadas para melhorar o desempenho da temporização, como adoção da técnica de paralelismo, compartilhamento de estruturas de adição e multiplicação, quebra dos caminhos de críticos de operações para execução em diferentes estágios de *clock*, dentre outras. Os resultados mostraram que a implementação do Filtro FIR e o Gradiente Descendente suportam frequência máxima de *clock* de aproximadamente 500 MHz, ou seja, atendem ao requisito de tempo de processar cada evento de colisão a cada 25 ns.

A atualização do projeto do ATLAS para o HL-LHC envolve, também, alterações na estrutura do seu sistema de Aquisição e Seleção de eventos, o *TDAQ*. No novo projeto do *TDAQ*, projeta-se a adição de um novo componente de hardware, o Global Trigger. Esse componente será responsável, entre outras características, de implementar, em FPGA, algoritmos de seleção de partículas e eventos que, até então, eram executadas de forma *off-line* no *software*. Uma das técnicas que serão embarcadas no *Global Trigger* é a de seleção de elétrons. Nesse contexto, a segunda contribuição desta tese foi a implementação do *NeuralRinger* integrado ao *Global Event Processor (GEP)*, que é o *framework* onde os algoritmos serão embarcados, considerando as condições de operação do HL-LHC.

O *NeuralRinger* é o método, baseado em redes neurais, para seleção de elétrons em operação no ATLAS desde 2017. Sua operação é constituída de duas fases, uma de extração de características, baseada na construção de anéis de energia concêntricos, chamada de FEX, e outra de classificação, baseada em rede neural artificial MLP, chamada de HYPO. No âmbito deste trabalho, esses dois circuitos foram implementados em FPGA, mostrando desempenho satisfatório. Conforme os gráficos apresentados, o perfil dos anéis construídos pelo circuito foi similar ao construído pelo simulador e, em relação ao erro, o circuito FEX apresentou erros da ordem de 2% e 3,5% para o circuito da *HYPO* (decorrentes da quantização em ponto fixo), quando comparados aos resultados obtidos em ponto flutuante via *software*. Além disso, os resultados da síntese do circuito apontaram para uma baixa utilização dos recursos da placa FPGA *Vertex UltraScale+ VCU118*, com 1,42% de utilização de *LookUp Tables* e 0,96% de *Flip-Flops* para a

FEX, e 0,12% de *LookUp Tables* e 0,26% de *Flip-Flops* para a HYPO. Esses resultados indicam que o *NeuralRinger* é um algoritmo viável para ser embarcado no novo componente de hardware do TDAQ do ATLAS, no *Global Trigger*. Os resultados mostraram um desempenho adequado mesmo com as limitações inerentes ao ambiente de hardware.

Diante dos resultados apresentados e discutidos nesta tese, conclui-se que, as soluções de hardware projetadas e implementadas, tanto para a estimação dos sinais de energia do *TileCal*, quanto para a seleção de elétrons, apresentaram desempenho viável para serem utilizadas na atualização dos sistemas eletrônicos do ATLAS. Esses resultados mostraram, também, algumas perspectivas de trabalhos futuros.

Para a estimação de energia, como trabalhos futuros, têm-se a implementação de diferentes técnicas de estimação de energia, como, por exemplo, baseadas em redes neurais. Diante da modularização da arquitetura implementada, para se testar diferentes algoritmos, não é necessário alterar todo o circuito, basta alterar a instância do módulo de processamento para um novo bloco que implemente o algoritmo que se deseja testar. A reduzida utilização de recursos lógicos da placa FPGA, apresenta-se como motivação para a implementação de algoritmos mais complexos.

Do ponto de vista da implementação do *NeuralRinger*, diante do fato do *Global Trigger* estar em fase de desenvolvimento, torna-se necessário a continuidade do trabalho, principalmente do ponto de vista de acompanhar as mudanças do *framework* e, assim, garantir a manutenção do circuito funcional integrado. Além desse aspecto, como trabalhos futuros, planeja-se implementar melhorias no algoritmo, como o refinamento para identificação da célula mais quente, a *seed*, para cada camada, na implementação da fase do FEX, e, no âmbito da rede neural, estruturar a arquitetura de forma mais eficiente para lidar com os diferentes parâmetros para cada região do calorímetro.

Referências

- AABOUD, M.; AL. et. Operation and performance of the ATLAS tile calorimeter in run-1. *The European Physical Journal C*, v. 78, n. 12, p. 987, Nov 2018. ISSN 1434-6052. Disponível em: <<https://doi.org/10.1140/epjc/s10052-018-6374-z>>.
- AAD, G. et al. The ATLAS experiment at the CERN Large Hadron Collider. *Journal of Instrumentation*, v. 3, n. 8, 2008.
- AAD, G.; ABBOTT et al. Performance of electron and photon triggers in ATLAS during LHC Run 2. *Eur. Phys. J. C*, v. 80, p. 47. 56 p, Sep 2020.
- AAD, G. et al. Readiness of the ATLAS tile calorimeter for LHC collisions. *The European Physical Journal C*, Springer, v. 70, n. 4, p. 1193–1236, 2010.
- AAMODT, K. et al. The ALICE experiment at the CERN LHC. *Journal of Instrumentation*, v. 3, n. 08, p. S08002, 2008. Disponível em: <<http://stacks.iop.org/1748-0221/3/i=08/a=S08002>>.
- ABERLE, O. et al. *High-Luminosity Large Hadron Collider (HL-LHC): Technical design report*. Geneva: CERN, 2020. (CERN Yellow Reports: Monographs). Disponível em: <<https://cds.cern.ch/record/2749422>>.
- ADRAGNA, P. et al. The ATLAS hadronic tile calorimeter: from construction toward physics. *IEEE Transactions on Nuclear Science*, v. 53, n. 3, p. 1275–1281, June 2006. ISSN 0018-9499.
- AIRAPETIAN, A. et al. ATLAS: Detector and physics performance technical design report. Volume 1. 1999.
- ARAÚJO, M. et al. Lorenzetti showers - a general-purpose framework for supporting signal reconstruction and triggering with calorimeters. *Computer Physics Communications*, v. 286, p. 108671, 2023. ISSN 0010-4655. Disponível em: <<https://www.sciencedirect.com/science/article/pii/S0010465523000164>>.
- ARBUZOV, A. B. Quantum Field Theory and the Electroweak Standard Model. *Proceedings, European School of High-Energy Physics*, 2017.
- ARGOS, F. C. The PreProcessors for the ATLAS Tile Calorimeter Phase II Upgrade. Nov 2015. Disponível em: <<http://cds.cern.ch/record/2076176>>.
- ATLAS Collaboration. Observation of a new particle in the search for the standard model higgs boson with the ATLAS detector at the LHC. *Physics Letters B*, v. 716, n. 1, p. 1–29, 2012. Disponível em: <<https://www.sciencedirect.com/science/article/pii/S037026931200857X>>.
- ATLAS Collaboration. *Technical Design Report for the ATLAS Inner Tracker Pixel Detector*. Geneva, 2017. Disponível em: <<https://cds.cern.ch/record/2285585>>.
- ATLAS Collaboration. *Technical Design Report for the Phase-II Upgrade of the ATLAS Muon Spectrometer*. Geneva, 2017. Disponível em: <<https://cds.cern.ch/record/2285580>>.
- ATLAS Collaboration. *Technical Design Report for the Phase-II Upgrade of the ATLAS TDAQ System*. Geneva, 2017. Disponível em: <<https://cds.cern.ch/record/2285584>>.
- ATLAS Collaboration. *Technical Design Report for the Phase-II Upgrade of the ATLAS TDAQ System*. Geneva, 2017. Disponível em: <<https://cds.cern.ch/record/2285584>>.
- BANDŽUCH, P.; MORHÁČ, M.; KRIŠTIAK, J. Study of the van cittert and gold iterative methods of deconvolution and their application in the deconvolution of experimental spectra of positron annihilation. *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, v. 384, n. 2, p. 506 – 515, 1997. ISSN 0168-9002. Disponível em: <<http://www.sciencedirect.com/science/article/pii/S0168900296008741>>.
- BEGEL, M.; SANKEY, D. *Firmware Specification for the Global Trigger*. Geneva, 2021. Disponível em: <<https://cds.cern.ch/record/2798388>>.

- BEGEL, M.; SANKEY, D. *Hardware Specifications for the Global Trigger*. Geneva, 2021. Disponível em: <<https://cds.cern.ch/record/2798389>>.
- BEGEL, M.; SANKEY, D. *System Specification for the Global Trigger*. Geneva, 2021. Disponível em: <<https://cds.cern.ch/record/2791119>>.
- BETTINI, A. *Introduction to Elementary Particle Physics*. Cambridge University Press, 2024. ISBN 9781009440738. Disponível em: <<https://books.google.com.br/books?id=eboJEQAAQBAJ>>.
- BIOT, A. V. *TileCal Read-Out Drivers production and firmware developments*. Dissertação (Mestrado) — UNIVERSITAT DE VALENCIA, Valencia, 2007.
- BOHR, N. On the constitution of atoms and molecules. *Philosophical Magazine*, v. 26, n. 151, p. 1–25, 1913.
- BRAIBANT, S.; GIACOMELLI, G.; SPURIO, M. *Particles and Fundamental Interactions: An Introduction to Particle Physics*. [S.l.]: Springer Netherlands, 2011. (Undergraduate Lecture Notes in Physics). ISBN 9789400724631.
- BRÜNING, O.; ZERLAUTH, M. *LHC operation and the High-Luminosity LHC upgrade project*. [S.l.], 2025. 18 pages, contribution to the CAS - CERN Accelerator School: Advanced Accelerator Physics, 10-22 November 2024, Spa, Belgium. Disponível em: <<https://cds.cern.ch/record/2935496>>.
- BURITICÁ, O.; GUAPACHA, J.; ZEA, J. *Fundamentos da lógica digital com VHDL*. Ecoe Ediciones México, 2024. ISBN 9789585038899. Disponível em: <<https://books.google.com.br/books?id=S2AnEQAAQBAJ>>.
- CARRIÓ, F. et al. The sROD module for the ATLAS tile calorimeter phase-ii upgrade demonstrator. *Journal of Instrumentation*, v. 9, n. 02, p. C02019, 2014. Disponível em: <<http://stacks.iop.org/1748-0221/9/i=02/a=C02019>>.
- CARRIÓ, F. The data acquisition system for the ATLAS tile calorimeter phase-ii upgrade demonstrator. *IEEE Transactions on Nuclear Science*, v. 69, n. 4, p. 687–695, 2022.
- CARUSO, F.; OGURI, V.; SANTORO, A. *Partículas Elementares: 100 anos de descobertas*. [S.l.]: LF Editorial, 2023.
- CAVALCANTI, M. M. et al. Sistema digital para redução do empilhamento em medições de energia num detector de partículas. *Anais do XX Congresso Brasileiro de Automática*, p. 456–463, 2014.
- CERN. Welcome to USA 15, the first large underground hall for the LHC. n. 34/2001, p. 1, 2001. Cover article. Disponível em: <<https://cds.cern.ch/record/45208>>.
- CERN. *Experiments*. 2025. Disponível em: <http://home.cern>. Acesso em: 30 de Junho de 2025.
- CERQUEIRA, A. S. Upgrade for the ATLAS tile calorimeter readout electronics at the high luminosity LHC. *Journal of Physics: Conference Series*, v. 404, n. 1, p. 012060, 2012. Disponível em: <<http://stacks.iop.org/1742-6596/404/i=1/a=012060>>.
- CERQUEIRA, A. S. ATLAS Tile Calorimeter Readout Electronics Upgrade Program for the High Luminosity LHC. In: *Proceedings, International School on High Energy Physics : Workshop on High Energy Physics in the near Future. (LISHEP 2013): Rio de Janeiro, Brazil, March 17-24, 2013*. [S.l.: s.n.], 2013.
- CERQUEIRA, A. S.; SEIXAS, J. M.; CALOBA, L. P. Analog system for building the first-level triggering signal provided by the hadronic calorimeter of ATLAS detector. *Nucl. Instrum. Meth.*, A570, p. 117–125, 2007.
- CHATRCHYAN, S. et al. The CMS experiment at the CERN LHC. *Journal of Instrumentation*, v. 3, n. 08, p. S08004, 2008. Disponível em: <<http://stacks.iop.org/1748-0221/3/i=08/a=S08004>>.
- CLEMENT, C.; KLIMEK, P. Identification of pile-up using the quality factor of pulse shapes in the ATLAS tile calorimeter. In: *Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC), 2011 IEEE*. [S.l.: s.n.], 2011. p. 1188–1193. ISSN 1082-3654.

- CMS Collaboration. Observation of a new boson at a mass of 125 GeV with the CMS experiment at the LHC. *Physics Letters B*, v. 716, n. 1, p. 30–61, 2012.
- COLLABORATION, A. *The ATLAS Upgrade for the HL-LHC*. Geneva, 2025. All figures including auxiliary figures are available at <https://atlas.web.cern.ch/Atlas/GROUPS/PHYSICS/PUBNOTES/ATL-UPGRADE-PUB-2025-001>. Disponível em: <<https://cds.cern.ch/record/2928798>>.
- COTTINGHAM, W. N.; GREENWOOD, D. A. *An Introduction to the Standard Model of Particle Physics*. 2. ed. [S.l.]: Cambridge University Press, 2023.
- DAI, H. Research on mass image classification based on CNN deep learning. *Journal of Physics: Conference Series*, IOP Publishing, v. 2646, n. 1, p. 012040, dec 2023. Disponível em: <<https://dx.doi.org/10.1088/1742-6596/2646/1/012040>>.
- DESY. *Deutsches Elektronen-Synchrotron*. 2025. Disponível em: <http://www.desy.de/>. Acesso em: 30 de Junho de 2025.
- DEVELOPERS, G. *GEP Firmware GIT LAB*. 2025. Disponível em: <https://gitlab.cern.ch/atlas-tdaq-p2-firmware/global-trigger/gep-fw/>. Acesso em: 31 de Julho de 2025.
- DINIZ, P.; NETTO, S.; SILVA, E. D. *Digital Signal Processing: System Analysis and Design*. Second. [S.l.]: Cambridge University Press, 2010.
- DUARTE, J. et al. Online energy reconstruction for calorimeters under high pile-up conditions using deconvolutional techniques. *Journal of Instrumentation*, IOP Publishing, v. 14, n. 12, p. P12017–P12017, dec 2019.
- DUARTE, J. P. B. S. *Estudo de Técnicas de Deconvolução para Reconstrução de Energia online no Calorímetro Hadrônico do ATLAS*. Dissertação (Mestrado) — Programa de Pós Graduação em Engenharia Elétrica / UFJF, 2015.
- DUATO, A. C. *Upgrade of the ATLAS Tile Calorimeter for the High Luminosity-LHC*. Geneva, 2025. Disponível em: <<https://cds.cern.ch/record/2939786>>.
- DUDLEY, C. et al. *ATLAS Trigger and Data Acquisition System Phase-II Upgrade: Global Trigger Event Processor Framework Initial Design Review Document*. Geneva, 2020. Disponível em: <<https://cds.cern.ch/record/2713130>>.
- ELAD, M. *Sparse and Redundant Representations: From Theory to Applications in Signal and Image Processing*. 1st. ed. [S.l.]: Springer Publishing Company, Incorporated, 2010. ISBN 144197010X, 9781441970107.
- EVANS, L.; BRYANT, P. LHC Machine. *Journal of Instrumentation*, IOP Publishing, v. 3, n. 08, p. S08001–S08001, aug 2008. Disponível em: <<https://doi.org/10.1088/1748-0221/3/08/s08001>>.
- EVANS, L.; BRYANT, P. LHC machine. *Journal of Instrumentation*, IOP Publishing, v. 3, n. 08, p. S08001, 2008.
- FABJAN, C. W.; GIANOTTI, F. Calorimetry for Particle Physics. *Rev. Mod. Phys.*, v. 75, n. CERN-EP-2003-075, p. 1243–1286. 96 p, Oct 2003. Disponível em: <<http://cds.cern.ch/record/692252>>.
- FACELI, K. et al. *Inteligência artificial: uma abordagem de aprendizado de máquina*. [S.l.]: LTC, 2011.
- FERMILAB. *Fermi National Accelerator Laboratory*. 2016. Disponível em: <http://www.fnal.gov/>. Acesso em: 30 de Junho de 2025.
- FERNOW, R. C. *Introduction to Experimental Particle Physics*. [S.l.]: Cambridge University Press, 1986. ISBN 9780511622588.
- FERRAZ, V. A. *Detecção online eficiente de eventos raros utilizando detectores finamente segmentados*. Tese (Doutorado) — Universidade Federal do Rio de Janeiro, Rio de Janeiro/RJ, 2018.
- FERREIRA, I. S. et al. Conjunto de Redes Neurais para Seleção Online de Elétrons em um Calorímetro Finamente Segmentado e com Elevada Taxa de Empilhamento de Sinais. *Congresso Brasileiro de Inteligência Computacional - CBIC*, Jul 2025.

- FILHO, L. M. de A. et al. Calorimeter response deconvolution for energy estimation in high-luminosity conditions. *IEEE Transactions on Nuclear Science*, v. 62, n. 6, p. 3265–3273, 2015.
- GARVEY, J.; REES, D. *Bunch Crossing Identification for the ATLAS Level - 1 Calorimeter Trigger*. Geneva, 1996. Disponível em: <<https://cds.cern.ch/record/685770>>.
- GÉRON, A. *Mãos à obra: aprendizado de máquina com scikit-learn & tensorflow*. Alta Books, 2019. ISBN 9788550803814. Disponível em: <<https://books.google.com.br/books?id=7Y7izQEACAAJ>>.
- GOODFELLOW, I.; BENGIO, Y.; COURVILLE, A. *Deep Learning*. MIT Press, 2016. (Adaptive Computation and Machine Learning series). ISBN 9780262035613. Disponível em: <<https://books.google.com.br/books?id=Np9SDQAAQBAJ>>.
- GRAAS, A.; LUCKA, F. Scintillator decorrelation for self-supervised x-ray radiograph denoising. *Measurement Science and Technology*, IOP Publishing, v. 36, n. 6, p. 065415, jun 2025. Disponível em: <<https://dx.doi.org/10.1088/1361-6501/addc06>>.
- GRIFFITHS, D. J. *Introduction to elementary particles; 2nd rev. version*. New York, NY: Wiley, 2008. (Physics textbook). Disponível em: <<https://cds.cern.ch/record/111880>>.
- GRUPEN, C.; SHWARTZ, B. *Particle Detectors*. Cambridge: Cambridge University Press, 2008.
- Gupta, A.; Chakradhar Reddy, C. Analytical insights into parameter estimation for wiener deconvolution. *IEEE Transactions on Instrumentation and Measurement*, v. 66, n. 10, p. 2566–2575, Oct 2017. ISSN 0018-9456.
- HADLEY, D. R. Digital Filtering Performance in the ATLAS Level-1 Calorimeter Trigger. In: CERN. *Proceedings, 17th Conference on Computing Applications in Nuclear and Plasma Sciences on Real Time (RT2010): Lisbon, Portugal, May 24-28, 2010*. Geneva: CERN, 2010. Disponível em: <<http://cdsweb.cern.ch/record/1272950/files/ATL-DAQ-PROC-2010-012.pdf>>.
- HARKUSHA, S.; COLLABORATION, A. T. *Upgrade of the ATLAS hadronic Tile calorimeter for the High luminosity LHC*. Geneva, 2016. Disponível em: <<http://cds.cern.ch/record/2211716>>.
- HAYKIN, S. O. *Neural Networks and Learning Machines*. 3rd. ed. [S.l.]: Pearson Education, 2009.
- HIGGS, P. Broken Symmetries and the Masses of Gauge Bosons. *Phys. Rev. Lett.*, v. 13, n. 16, p. 508–509, 1964.
- JR, A. A. A. et al. The LHCb detector at the LHC. *Journal of Instrumentation*, v. 3, n. 08, p. S08005, 2008. Disponível em: <<http://stacks.iop.org/1748-0221/3/i=08/a=S08005>>.
- KEK. *HIGH ENERGY ACCELERATOR RESEARCH ORGANIZATION*. 2025. Disponível em: <http://www.kek.jp/>. Acesso em: 30 de Junho de 2025.
- LAVAGNO, L.; SCHEFFER, L.; MARTIN, G. *EDA for IC implementation, circuit design, and process technology*. [S.l.]: CRC press, 2006.
- LEE, S. *Accelerator Physics (Fourth Edition)*. World Scientific Publishing Company, 2018. ISBN 9789813274693. Disponível em: <<https://books.google.com.br/books?id=UvJ9DwAAQBAJ>>.
- LHC-COLLABORATION. *High-Luminosity LHC*. 2025. Disponível em: <https://home.cern/science/accelerators/high-luminosity-lhc>. Acesso em: 30 de Junho de 2025.
- LHC-COLLABORATION. *Large Hadron Collider*. 2025. Disponível em: <https://home.cern/science/accelerators/large-hadron-collider>. Acesso em: 30 de Junho de 2025.
- LI, Z. et al. Music classification with convolutional and artificial neural network. *Journal of Physics: Conference Series*, IOP Publishing, v. 2580, n. 1, p. 012059, sep 2023. Disponível em: <<https://dx.doi.org/10.1088/1742-6596/2580/1/012059>>.
- LIVAN, M.; WIGMANS, R. *Calorimetry for Collider Physics, an Introduction*. Oxford: Springer Cham, 2019.

- LYONS, R. G. *Understanding digital signal processing*. Third. [S.l.]: Pearson Education, 2010.
- MANO, M. M.; CILETTI, M. D. *Digital Design: With an Introduction to the Verilog HDL*. [S.l.]: Pearson, 2013.
- MARIN, J. L. *Detecção online de fótons no experimento utilizando aprendizado de máquina*. Tese (Doutorado) — Universidade Federal da Bahia, Salvador/BA, 2023.
- MARTIN, B. R. *Nuclear and Particle Physics: An Introduction*. [S.l.]: Wiley, 2009.
- MEYER-BAESE, U. *Digital Signal Processing with Field Programmable Gate Arrays*. [S.l.]: Springer Berlin Heidelberg, 2007. (Signals and Communication Technology). ISBN 9783540726135.
- MITRA, S. K. *Digital Signal Processing: A Computer-Based Approach*. 2nd. ed. [S.l.]: McGraw-Hill School Education Group, 2001. ISBN 0072522615.
- MOREIRA, M. A. O modelo padrão da física de partículas. *Revista Brasileira de Ensino de Física*, scielo, v. 31, p. 1306.1 – 1306.11, 04 2009. ISSN 1806-1117. Disponível em: <http://www.scielo.br/scielo.php?script=sci_arttext&pid=S1806-11172009000100006&nrm=iso>.
- NKADIMENG, E. K. *Upgrade of ATLAS Hadronic Tile Calorimeter for the High Luminosity LHC*. Geneva, 2023. Disponível em: <<https://cds.cern.ch/record/2825472>>.
- NOVAKOVA, J. *Monte Carlo Simulations of the Tile Calorimeter and Measurement of the Z to tau tau Cross Section with the ATLAS Detector*. Tese (Doutorado) — Charles U., 2012–06–27. Disponível em: <<http://inspirehep.net/record/1231358/files/CERN-THESIS-2012-098.pdf>>.
- PEQUENAO, J.; SCHAFFNER, P. How ATLAS detects particles: diagram of particle paths in the detector. 2013. Disponível em: <<https://cds.cern.ch/record/1505342>>.
- PERKINS, D. H. *Introduction to high-energy physics; 4th ed.* Cambridge: Cambridge Univ. Press, 2000.
- PETTERSSON, T. S.; LEFÈVRE, P. *The Large Hadron Collider: conceptual design*. [S.l.], 1995. Disponível em: <<http://cds.cern.ch/record/291782>>.
- PINTO, J. V. d. F. *Filtragem Online Segmentada Baseada em Redes Neurais Operando na Informação de um Calorímetro de Altas Energias de Fina Granularidade*. Tese (Doutorado) — Universidade Federal do Rio de Janeiro, Rio de Janeiro/RJ, 2022.
- PONTECORVO, L. The ATLAS muon spectrometer. *The European Physical Journal C - Particles and Fields*, v. 34, n. 1, p. s117–s128, 2004. ISSN 1434-6052.
- PUSZKARSKI, B.; HRYNIÓW, K.; SARWAS, G. Comparison of neural basis expansion analysis for interpretable time series (n-beats) and recurrent neural networks for heart dysfunction classification. *Physiological Measurement*, IOP Publishing, v. 43, n. 6, p. 064006, jun 2022. Disponível em: <<https://dx.doi.org/10.1088/1361-6579/ac6e55>>.
- PUZO, P. ATLAS calorimetry. *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, v. 494, n. 1-3, p. 340 – 345, 2002. ISSN 0168-9002. Proceedings of the 8th International Conference on Instrumentation for Colliding Beam Physics. Disponível em: <<http://www.sciencedirect.com/science/article/pii/S0168900202014900>>.
- RAMACHANDRAN, S. *Digital VLSI Systems Design: A Design Manual for Implementation of Projects on FPGAs and ASICs Using Verilog*. [S.l.]: Springer Publishing Company, Incorporated, 2014. ISBN 9401782776, 9789401782777.
- RAPHEEHA, P. *Upgrade of ATLAS Hadronic Tile Calorimeter for the High Luminosity LHC*. Geneva, 2025. Disponível em: <<https://cds.cern.ch/record/2948495>>.
- RUSLAU, M. F. V. et al. Multiclass classification using backpropagation neural network. *IOP Conference Series: Earth and Environmental Science*, IOP Publishing, v. 1454, n. 1, p. 012037, feb 2025. Disponível em: <<https://dx.doi.org/10.1088/1755-1315/1454/1/012037>>.
- RUSSEL, B. *The History of Western Philosophy*. [S.l.]: Simon and SchusterTouchstone, 1967.
- RUSSELL, S.; NORVIG, P. *Inteligência Artificial - Uma Abordagem Moderna*. 4rd. ed. [S.l.]: GEN LTC, 2022. ISBN 9788595158870.

- RUTHERFORD, E. The scattering of α and β particles by matter and the structure of the atom. *Philosophical Magazine*, v. 21, n. 121, p. 669–688, 1911.
- SALAS, A. S. *Performance of the ATLAS electron, photon and hadronic tau triggers in Run 2 and prospects for Run 3*. Geneva, 2021. Disponível em: <<https://cds.cern.ch/record/2792594>>.
- SEIXAS, J. et al. Neural second-level trigger system based on calorimetry. *Computer Physics Communications*, v. 95, n. 2, p. 143–157, 1996. ISSN 0010-4655. Disponível em: <<https://www.sciencedirect.com/science/article/pii/0010465596000124>>.
- Simas Filho, E. F. de. *Análise não-linear de componentes independentes para uma filtragem online baseada em calorimetria de alta energia e com fina segmentação*. Tese (Doutorado) — Electrical Engineering Program / COPPE / UFRJ, Rio de Janeiro, BR, 2010.
- SINE, F.; LU, M.; ZHANG, L. An iteration method for astronomical image deconvolution and reconstruction. *Research in Astronomy and Astrophysics*, National Astronomical Observatories, CAS and IOP Publishing, v. 25, n. 6, p. 065005, may 2025. Disponível em: <<https://dx.doi.org/10.1088/1674-4527/adcb8c>>.
- SLAC. *SLAC NATIONAL ACCELERATOR LABORATORY*. 2025. Disponível em: <https://www6.slac.stanford.edu/>. Acesso em: 30 de Junho de 2025.
- The Nobel Prize. *The Nobel Prize in Physics 2013 - Summary*. 2013. Disponível em: <<https://www.nobelprize.org/prizes/physics/2013/summary/>>.
- THOMSON, J. J. XI. cathode rays. *The London, Edinburgh, and Dublin Philosophical Magazine and Journal of Science*, Taylor & Francis, v. 44, n. 269, p. 293–316, 1897. Disponível em: <<https://doi.org/10.1080/14786449708621070>>.
- TREES, H. L. V. *Detection, estimation, and modulation theory*. [S.l.]: John Wiley & Sons, 2001.
- VADDE, V.; MURALIDHARAN, B.; SHARMA, A. Power efficient relu design for neuromorphic computing using spin hall effect. *Journal of Physics D: Applied Physics*, IOP Publishing, v. 56, n. 41, p. 415001, jul 2023. Disponível em: <<https://dx.doi.org/10.1088/1361-6463/acdae1>>.
- VALERO, A.; COLLABORATION, A. T. *A new read-out architecture for the ATLAS Tile Calorimeter Phase-II Upgrade*. Geneva, 2015. Disponível em: <<http://cds.cern.ch/record/2117093>>.
- WEINBERG, S. *The Quantum Theory of Fields, Volume 1: Foundations*. [S.l.]: Cambridge University Press, 2005.
- WIEDEMANN, H. *Particle Accelerator Physics*. Springer International Publishing, 2015. (Graduate Texts in Physics). ISBN 9783319183169. Disponível em: <<https://books.google.com.br/books?id=VX43rgEACAAJ>>.
- WONG, S. S. *Introductory Nuclear Physics*. Second. [S.l.]: Wiley-VCH, 1998.
- XILINX. *Vivado Design Suite User Guide - Implementation*. [S.l.], 2013. V2013.4, Disponível em: <https://www.xilinx.com/support.html>.
- XILINX. *Vivado Design Suite User Guide - Synthesis*. [S.l.], 2014. V2014.1, Disponível em: <https://www.xilinx.com/support.html>.
- XILINX. *7 Series DSP48E1 Slice*. [S.l.], 2018. V1.10, Available: <https://www.xilinx.com/support.html>.
- XILINX. *7 Series FPGAs Data Sheet: Overview*. [S.l.], 2020. V2.6.1, Disponível em: <https://docs.amd.com/v/u/en-US/ds1807SeriesOverview>.
- XIU, L. *VLSI Circuit Design Methodology Demystified: A Conceptual Taxonomy*. [S.l.]: Wiley-IEEE Press, 2007. ISBN 0470127422, 9780470127421.
- YANG, J. et al. Fault diagnosis method of bearings based on randwps0-vmd-mckd. *Journal of Physics: Conference Series*, IOP Publishing, v. 2999, n. 1, p. 012052, apr 2025. Disponível em: <<https://dx.doi.org/10.1088/1742-6596/2999/1/012052>>.
- ZEIDMAN, B.; ZEIDMAN, R. M. *Verilog Designer's Library*. 1st. ed. Upper Saddle River, NJ, USA: Prentice Hall PTR, 1999. ISBN 0130811548.

A Produção Científica

A.1 Artigos em Periódicos

1. Igo Amauri S. Luz , Eduardo F. Simas Filho, Paulo C.M.A. Farias, Luciano M. de Andrade Filho, and J.M. Seixas. **An FPGA-based parallel deconvolution application envisaging high-energy calorimeters operating under severe pile-up conditions.** *Journal of Instrumentation*, vol. 19, 2024.

***Abstract:** Signal pileup may arise when the system response time is larger than what would be required by the event rate in the application. In this condition, information superposition occurs, and signal estimation is deteriorated due to such information distortion. For online applications, mitigating such a pileup distortion usually requires embedded digital signal processing, which often involves FPGA-based designs when high event rates are a concern. Recently, high-energy particle experiments started facing an unprecedented increase in pileup conditions, which demanded new approaches for signal estimation. This work proposes a dedicated parallel signal processing system embedded on an FPGA platform that implements different filtering techniques for online energy reconstruction in calorimeters (energy measurement) operating under severe pileup conditions. Each designed filter is an inverse approximation of the calorimeter readout channel's impulse response, performing deconvolution of the incoming signals. Such a deconvolution approach for energy estimation was recently introduced, and the proposed filters were implemented in this work. Evaluation of the digital system design was performed using a data set that considers a typical high-energy calorimeter front-end response, as high-luminosity particle collider experiments produce high pileup distortions in calorimeter signals when processing the subproducts of the collisions. As the Large Hadron Collider (LHC) provides the most demanding conditions in terms of signal pileup, the acquisition system of the proposed solution is synchronous with its collision rate (40 MHz). The results showed that the proposed implementation may be applied as a preprocessing (pileup reduction) step in calorimeter instrumentation and could reduce the signal pileup within the fast response time required by such experiments.*

A.2 Artigos em Conferências

1. Igo Amauri Dos S. Luz, Gabriel H. B. Lisboa, Nestor Pereira Neto, João Victor da Fonseca Pinto, Leandro Assis dos Santos, Fernanda D. V. R. Oliveira, Natanael N. M. Junior, Edmar Egidio P. de Souza, José Manoel de Seixas, Paulo C. M. A. Farias, Eduardo F. Simas Filho, Denis Oliveira Damazio. **Redes Neurais Embarcadas em FPGA para Classificação Online de Elétrons em um Calorímetro de Altas Energias.** Congresso Brasileiro de Inteligência Computacional, 2025, Belo Horizonte/MG.

Nota: Artigo premiado em Segundo Lugar como melhor artigo do CBIC 2025.

Resumo: O *Large Hadron Collider* (LHC), tem passado por atualizações para aumentar a quantidade de eventos simultâneos e a energia das colisões próton-próton. Para a *Run-4*, a energia de colisão aumentará em uma ordem de magnitude, e o número médio de interações por colisão alcançará uma média de 200. Para lidar com este aumento na taxa de eventos, será feita uma atualização do sistema de *Trigger and Data Acquisition* (TDAQ) do experimento ATLAS, no qual o *Global Trigger* será adicionado ao novo TDAQ. Ele implementará a seleção de partículas em hardware digital - FPGA (*Field Programmable Gate Array*), com uma taxa de saída de eventos de 1 MHz. Neste trabalho são apresentados os resultados da implementação em hardware do algoritmo para seleção online de elétrons, chamado *NeuralRinger*. Este método captura a informação lateral e longitudinal dos chuveiros eletromagnéticos, alimentando redes neurais para selecionar elétrons de modo eficiente. Os resultados de erro obtido com o circuito responsável pela construção dos anéis é da ordem de 1,4% e com o circuito da rede neural é da ordem de 2%. Desta forma, os resultados da implementação do *NeuralRinger* para a FPGA indicam boa concordância do algoritmo implementado em hardware, se comparado aos resultados de referência obtidos a nível de software. Os resultados de síntese

do circuito indicaram a viabilidade de embarcar o circuito no *framework* do *Global Trigger*, com 1,42% de utilização de *LookUp Tables* e 0,96% de *Flip-Flops* para o circuito de construção dos anéis, e 0,12% de *LookUp Tables* e 0,26% de *Flip-Flops* para a rede neural.

A.3 Resumos em Conferências

1. Igo Amauri dos Santos Luz, Nestor Dias P. Neto, Paulo Cesar M. de A. Farias, Eduardo F. Simas Filho, Edmar E. P. de Souza, Denis Oliveira Damazio, José Manoel de Seixas, Bertrand Laforge. **NeuralRinger FPGA Implementation for the Egamma L0 Global Trigger**. 8th ATLAS Machine Learning Workshop, 2025, CERN, *online*.
2. Igo Amauri dos Santos Luz, Nestor Dias P. Neto, Leandro Assis dos Santos, Paulo Cesar M. de A. Farias, Eduardo F. Simas Filho, Edmar E. P. de Souza, Fernanda D. V. R. Oliveira, Denis Oliveira Damazio, José Manoel de Seixas. **FPGA NEURAL RINGER IMPLEMENTATION FOR ELECTRON AND PHOTON DETECTION AT THE ATLAS GLOBAL TRIGGER**. IV Encontro de Primavera da SBF (EPSBF), 2024, Belo Horizonte/MG.
3. Igo A. S. Luz, Eduardo F. Simas Filho, Paulo C. M. A. Farias, Luciano M. de Andrade Filho, José M. de Seixas, Juan L. Marin. **Implementação Online e Paralela em FPGA de Métodos Nao-Lineares e Iterativos para Estimção de Energia no calorímetro Hadrônico do ATLAS**. XLI Encontro Nacional de Física de Partículas e Campos (ENFPC), 2021, *online*.
4. Igo A. S. Luz, Eduardo F. Simas Filho, Paulo C. M. A. Farias, Luciano M. de Andrade Filho e José M. Seixas **Implementação em FPGA de Diferentes Métodos para Estimção Online de Energia em Calorímetros**. XL Encontro Nacional de Física de Partículas e Campos (ENFPC), 2019, Campos do Jordão/SP.

B Qualificação para Afiliação no Experimento ATLAS

Para se tornar membro da colaboração ATLAS e obter o direito de ser autor de suas publicações, os candidatos precisam realizar uma tarefa com importante necessidade para o experimento. A tarefa de qualificação realizada pelo autor desta tese, foi orientada por dois supervisores, sendo o supervisor no grupo brasileiro o Prof. Dr. Paulo Cesar Machado de Abreu Farias (Universidade Federal da Bahia/PPGEEC, BA/Brasil), e o supervisor indicado pelo ATLAS, o Prof. Dr. Denis Oliveira Damazio (Brookhaven National Laboratory, Brookhaven, Estados Unidos da América).

O processo de qualificação teve início em 01/12/2024, com a seguinte descrição:

Project Description:

The ATLAS detector is preparing its upgrade in particular to the Trigger system, which will have to cope with much more complex events at higher LHC luminosity. Refined techniques that may lead to further background rejection while making sure that the required efficiency is retained are being explored. Since Run2, HLT electron triggers use an approach based on calorimetry ringer-shaped signals feeding neural networks trained in ET vs. eta bins (NeuralRinger), that reduces the rate of fake events and keeps high electron efficiencies. Given the challenge increase in Run4 luminosity conditions, we are evaluating the possibility of applying the NeuralRinger in the Global Trigger for egamma objects identification. The present Qualification Task is dedicated to provide an initial implementation of the NeuralRinger in the Global simulation framework. A list of requirements, firmware design prototype, and documentation for the NeuralRinger to run will be produced as well as an initial embedded FPGA implementation for the egamma identification task. The ringer construction time on the intended FPGA and machine learning propagation latency of the embedded neural network will be measured. Also, an estimation of the impact on the efficiency versus fake acceptance rate in the quantized framework of FPGAs compared to results obtained in the offline framework will be verified. This task will be reported regularly in the Global processor and HLT Calo meetings

O período de qualificação se encerrou em 30/03/2025, quando obteve-se aprovação, constando o seguinte relatório final do supervisor técnico:

Final Report Comments:

Quite interesting results obtained by Igo during this Qualification Task. Despite the complexities of an FPGA based project Igo not only interacted in a very collaborative form with other experts, became a relevant part of the team, but also developed the proposed application for the Global Trigger and got to the point where the relevant information : comparison offline/online, resources usage/RoI of the application and even some latency estimates could be made available. I can now gladly sign off this QT. More details in the presentation in the TDAQ Week (link: <https://indico.cern.ch/event/1510230/timetable/>)