



Universidade Federal da Bahia
Programa de Pós-graduação em Engenharia Elétrica

**Projeto de um Receptor BFSK Integrado para HBC Baseado na
Técnica de Injection Locking.**

Autor:

Marinel Borges Almeida

Salvador, Bahia

Fevereiro, 2024



Universidade Federal da Bahia
Programa de Pós-graduação em Engenharia Elétrica

Marinel Borges Almeida

Projeto de um Receptor BFSK Integrado para HBC
Baseado na Técnica de Injection Locking.

Dissertação apresentada ao Programa de Pós-graduação em Engenharia Elétrica, como requisito para conclusão do curso stricto-senso em Engenharia Elétrica da Universidade Federal da Bahia sob orientação do Professor Dr. Edson Pinto Santana e coorientação do Professor Dr. Maicon Deivid Pereira.

Orientador: Edson Pinto Santana

Coorientador: Maicon Deivid Pereira

Data da Defesa:

01 de Fevereiro de 2024

Ficha catalográfica elaborada pela Biblioteca Bernadete
Sinay Neves, Escola Politécnica - UFBA.

A447 Almeida, Marinel Borges.

Projeto de um receptor BFSK integrado para HBC baseado na
técnica de injection locking / Marinel Borges Almeida. – Salvador, 2024.
75f.: il. color.

Orientador: Prof. Dr. Edson Pinto Santana.

Coorientador: Prof. Dr. Maicon Deivid Pereira.

Dissertação (mestrado) – Programa de Pós-graduação em Engenharia
Elétrica, Escola Politécnica, Universidade Federal da Bahia, 2024.

1. Comunicação – corpo humano. 2. Transferência de sinal. 3.
Comunicação sem fio. 4. Receptor – HBC. 5. Injection locking – técnica.
I. Santana, Edson Pinto. II. Pereira, Maicon Deivid. III. Universidade
Federal da Bahia. IV. Título.

CDD: 621.3



Universidade Federal da Bahia

Programa de Pós-graduação em Engenharia Elétrica

Folha de Aprovação

Projeto de um Receptor BFSK Integrado para HBC Baseado na Técnica de Injection Locking.

Autor:

Marinel Borges Almeida

Data da Defesa:

01 de Fevereiro de 2024

Banca Examinadora

Edson Pinto Santana

Doutorado

(Orientador)

UFBA

Edson Pinto Santana

Maicon D Santana

Doutorado

(Coorientador)

UFBA

Maicon D. Pereira

Edson Pinto Santana

Doutorado

(Examinador)

UFBA

Edson Pinto Santana

Robson Nunes de Lima

Doutorado

(Examinador)

UFBA

Robson Nunes de Lima

Gabriele Costa Gonçalves Dantas

Doutorado

(Examinador)

UFRB

Gabriele Costa Gonçalves Dantas

Salvador, Bahia, Brasil

Fevereiro, 2024

Resumo

As tecnologias de telecomunicação avançaram a ponto de possibilitar redes especializadas na transmissão de dados nas proximidades do corpo. Este método de comunicação, conhecido como *Body Area Network* (BAN), está evoluindo rapidamente, exigindo maior portabilidade e uma vida útil mais extensa das baterias. Isso, por sua vez, impulsiona a necessidade de redução no consumo de energia. Por esse motivo, soluções têm sido estudadas nas últimas três décadas para aprimorar a eficiência energética na transmissão de sinais. Dentre essas tecnologias, a técnica HBC (*Human Body Communication*) destaca-se nas pesquisas acadêmicas recentes. O HBC é um método de comunicação sem fio para redes corporais que oferece vantagens em termos de consumo, segurança e interferência quando comparado a outros métodos baseados em radiação. Essa vantagem advém da utilização do corpo humano como canal de transferência de sinal. No presente trabalho, descrevem-se o projeto e as simulações pós-leiaute de um receptor para HBC com acoplamento capacitivo, desenvolvido em tecnologia CMOS de 180 nm, capaz de demodular sinais BFSK. Utiliza-se uma arquitetura que realiza a conversão frequência-fase, explorando o fenômeno de *injection locking*. O receptor projetado incorpora um amplificador de entrada para elevar o sinal recebido aos níveis necessários para *injection locking* em um VCO (*Voltage Controlled Oscillator*). Com o *injection locking*, uma diferença de fase estará presente entre o sinal do VCO e o sinal injetado. Essa diferença de fase é identificada por um detector de fase, que determina se o sinal do VCO está atrasado ou adiantado. Após filtragem e comparação dos sinais de saída do detector de fase, obtém-se a demodulação do sinal BFSK. As simulações pós-leiaute do circuito demonstram a capacidade do receptor para operar na faixa entre 40 e 60 MHz, com taxas de dados de até 5 Mbps, consumo entre 0,74 mW e 1,58 mW, e eficiência de comunicação entre 148 pJ/bit e 316 pJ/bit, com alimentação de 1,5 V e 1,8 V, respectivamente. O estudo realizado neste trabalho incrementa o conhecimento sobre o projeto de receptor para HBC demonstrando um caminho para o melhoramento no consumo de energia na comunicação de sinal sem fio, permitindo seu uso em BANs em aplicações médicas, de segurança ou entretenimento.

Palavras-chave: Baixo consumo, CMOS, HBC, *Injection Locking*, Receptor.

Abstract

Telecommunication technologies have advanced to the point of enabling networks specialized in data transmission in close proximity to the body. This method of communication, known as Body Area Network (BAN), is evolving rapidly, demanding greater portability and longer battery life. This, in turn, drives the need for reduced power consumption. For this reason, solutions have been studied over the last three decades to improve energy efficiency in signal transmission. Among these technologies, the Human Body Communication (HBC) technique stands out in recent academic research. HBC is a wireless communication method for body networks that offers advantages in terms of consumption, security, and interference compared to other radiation-based methods. This advantage comes from using the human body as a signal transfer channel. In this paper, we describe the design and post-layout simulations of a receiver for HBC with capacitive coupling, developed in 180 nm CMOS technology, capable of demodulating BFSK signals. We employ an architecture that performs frequency-phase conversion, exploiting the phenomenon of injection locking. The designed receiver incorporates an input amplifier to raise the received signal to the levels required for injection locking in a Voltage Controlled Oscillator (VCO). With injection locking, a phase difference will be present between the VCO signal and the injected signal. This phase difference is identified by a phase detector, which determines whether the VCO signal is delayed or advanced. After filtering and comparing the output signals of the phase detector, BFSK signal demodulation is obtained. Post-layout simulations of the circuit demonstrate the receiver's ability to operate in the range between 40 and 60 MHz, with data rates of up to 5 Mbps, power consumption between 0.74 mW and 1.58 mW, and communication efficiency between 148 pJ/bit and 316 pJ/bit, with power supply of 1.5 V and 1.8 V, respectively. The study conducted in this work enhances the knowledge of receiver design for HBC by demonstrating a pathway for improving energy consumption in wireless signal communication, enabling its use in BANs in medical, security, or entertainment applications.

Keywords: Low consumption, CMOS, HBC, Injection locking, Receptor.

Agradecimentos

Gostaria de agradecer ao meu coorientador, Dr. Professor Maicon Deivid Pereira, que me ajudou muito neste trabalho, além de suas responsabilidades. Agradeço também aos meus colegas de curso que me apoiaram nesta jornada, à Dra. Profa. Ana Isabela Cunha que me apoiou desde a primeira aula na Universidade Federal da Bahia.

Este trabalho é todo dedicado aos meus pais, pois é graças ao seu esforço que hoje posso concluir este Mestrado.

*“Os que se encantam com a prática
sem a ciência são como os
timoneiros que entram no navio
sem timão nem bússola, nunca
tendo certeza do seu destino.”*

Leonardo da Vinci

Lista de Tabelas

1.1	Características dos métodos de comunicação.	3
4.1	Impedância de entrada por tensão de controle em Volts.	38
4.2	Razões de aspecto do oscilador em anel.	42
4.3	Razões de aspecto dos transistores externos.	43
4.4	Dimensões dos transistores do <i>flip-flop</i> tipo D.	48
4.5	Dimensões dos transistores na porta AND CMOS.	48
4.6	Dimensões do primeiro estágio do comparador com <i>latch</i>	52
4.7	Dimensões do estágio 3 do comparador com <i>latch</i>	53
4.8	Consumo em Watts por tensão de alimentação em Volts.	64
4.9	Comparação da potência consumida para diferentes taxas de transferência de dados.	65
4.10	Resumo do comportamento do circuito em função da tensão de alimentação e da temperatura de testes.	66
5.1	Características dos receptores citados na introdução e do receptor proposto.	69

Lista de Figuras

1.1	Fluxograma da metodologia.	5
2.1	Circuito do receptor com interface capacitiva.	7
2.2	Circuito receptor com <i>PIC</i>	7
2.3	Transceptor com TRX e RX.	8
2.4	Transceptor com dois TRXs e dois RXs.	9
2.5	Circuito do receptor BFSK.	10
2.6	TRX POFDM e FSK.	11
2.7	Transceptor NRZ.	12
2.8	Diagrama do <i>wake-up receiver</i>	13
3.1	Imagem ilustrativa do fluxo elétrico do acoplamento capacitivo.	17
3.2	Modelo RC equivalente ao tecido em nível celular.	18
3.3	Modelo do canal.	18
3.4	Transistor de efeito de campo.	19
3.5	Curva I_D x V_{DS} do MOSFET tipo N.	21
3.6	Exemplo de receptor heteródino.	23
3.7	Exemplo de receptor homodino.	23
3.8	Topologia do receptor FSK síncrono.	25
3.9	Topologia do receptor FSK <i>zero crossing</i>	25
3.10	Topologia do receptor FSK com PLL.	25
3.11	Topologia do receptor não síncrono.	26
3.12	Demodulador FSK miniaturizado.	26
3.13	Receptor FSK com DCO.	26
3.14	Topologia de receptor com <i>Injection Locking</i>	26
3.15	Módulo e fase do circuito sob <i>injection locking</i>	29
3.16	Exemplo de circuito oscilador.	29
3.17	Diagramas de fasor das correntes em um <i>injection locking oscillator</i> para diferentes valores de $ \omega_0 - \omega_{inj} $ e amplitude de I_{inj}	30
3.18	Transição de fases em um oscilador injetado.	31
4.1	Topologia apresentada neste trabalho.	33
4.2	Exemplo de circuitos amplificadores com MOSFET.	35
4.3	Amplificador de entrada(valores de dimensões W e L dos transistores em micrometro).	36

4.4	Curvas da Varredura do ganho do amplificador.	37
4.5	Ganho em função tensão de controle(V-Controle) do amplificador. . .	37
4.6	Impedância de entrada com tensão de controle de 1,5 V.	37
4.7	Impedância de entrada para tensões de controle de 0 a 1,45 V.	38
4.8	Oscilador em anel com inversores.	39
4.9	Topologia do oscilador em anel com inversores CMOS.	39
4.10	Topologia do circuito interno do VCO(dimensões W e L dos transis- tores estão em micrometro).	41
4.11	Oscilador em anel com <i>buffer</i> extra para <i>injection locking</i>	42
4.12	Curva da relação $V_{in}V_{co}$ x F_{osc}	42
4.13	Curvas de saída em oscilação natural utilizando tensão de controle em 0,9 V no VCO.	43
4.14	Curva de comportamento do intertravamento V_{inj} por frequência no VCO.	44
4.15	Curvas do comportamento do VCO 40 MHz.	44
4.16	Curvas do comportamento do VCO 60 MHz.	45
4.17	Circuito Detetor de fase completo.	46
4.18	Circuito <i>flip-flop</i> tipo D(dimensões W e L dos transistores em micro- metro).	47
4.19	Circuito porta lógica <i>AND</i> CMOS(dimensões W e L dos transistores em micrometro).	47
4.20	Comportamento do circuito PD com a entrada In2 avançada.	49
4.21	Comportamento do circuito PD com a entrada In1 avançada.	49
4.22	Circuito simplificado do último estágio com filtro e comparador.	50
4.23	Circuito do comparador com laço e <i>buffer</i> de saída com dimensões W e L em μm	52
4.24	Comportamento da saída do comparador.	53
4.25	Curva de ganho do comparador em relação a tensão de entrada.	54
4.26	Resposta transiente do comparador em relação à entrada V_p	54
4.27	Resposta transiente do comparador em relação à entrada V_m	55
4.28	Leiaute do amplificador de entrada e <i>buffers</i>	56
4.29	Leiaute do VCO e do circuito auxiliar.	57
4.30	Leiaute do detetor de fase e dos <i>buffers</i> de saída das portas Q1 e Q2.	57
4.31	Leiaute do filtro RC e do comparador.	58
4.32	Leiaute do Receptor com circuitos destacados.	59
4.33	Circuito de <i>buffers</i> exponenciais para saídas de medição.	60
4.34	Leiaute do circuito completo com <i>pads</i> e <i>buffers</i> de medição exponen- ciais para saídas de medição.	60
4.35	Sinais de entrada FSK e das saídas do VCO e do sinal cópia no mo- mento da troca de frequência na entrada.	61
4.36	Sinais das saídas da conversão frequência-fase antes e depois da apli- cação dos <i>buffers</i>	62
4.37	Comparação entre o sinal FSK , as entradas do comparador e sua saída.	62

4.38	Curvas de funcionamento com tensão alimentação de 1,3 V(A) 1,4 V(B)-1,5 V(C) -1,6 V (D) e temperatura de 27° C.	63
4.39	Curvas de funcionamento com tensão alimentação de 1,7 V(E)-1,8 V(F) e temperatura de 27° C.	64
4.40	Curvas resultantes das variações da taxa de transferências.	65
4.41	Exemplo de curva de saída para temperatura de 50° C com tensão de alimentação de 1,7 V.	66
4.42	Exemplo de curva das saídas para temperatura de 0° C e tensão de alimentação de 1,5 V.	67
4.43	Exemplo de curva das saídas para temperatura de 0° C e tensão de alimentação de 1,4 V.	67

Sumário

Resumo	i
Abstract	ii
Agradecimentos	iii
Lista de Tabelas	v
Lista de Figuras	viii
Lista de Abreviações	xi
Lista de Símbolos	xiii
1 Introdução	1
1.1 Contextualização	1
1.2 Objetivos	3
1.3 Metodologia	4
2 Estado da arte de transceptores e receptores para HBC capacitivo	6
3 Fundamentação teórica	16
3.1 HBC - Comunicação pelo corpo humano	16
3.1.1 Acoplamento capacitivo	16
3.1.2 Modelagem do canal	17
3.2 MOSFET	19
3.3 Arquitetura de um receptor RF	22
3.3.1 Receptores heteródinos	22
3.3.2 Receptores homodinos	23
3.3.3 Topologias de receptores FSK	23
3.4 Injection Locking	28
4 Projeto do receptor	33
4.1 Amplificador de entrada	34
4.1.1 Simulações pós-leiaute do Amplificador de entrada	36

4.2	VCO (Voltage Controlled Oscillator)	39
4.3	Detector de fase	46
4.4	Estágio comparador com <i>latch</i> , filtro e <i>buffer</i>	50
4.5	Leiaute	56
4.5.1	Integração do receptor	60
5	Conclusão	68
6	Trabalhos futuros	70
	Referências	71

Lista de Siglas

Abreviação	Descrição
BAN	Rede de Área Corporal
WSN	Rede de Sensores Sem Fio
HBC	Comunicação pelo corpo
GPS	Sistema de Posicionamento global
RF	Radiofrequência
PFD	Detector Frequência Fase
PD	Detetor de fase
ILO	Oscilador com <i>Injection Locking</i>
ZCD	Detector de cruzamento no zero
CA	Circuito Auxiliar
DEC	Circuito de decisão
UWB	Banda Ultra larga
ICL	Ligações indutivo-capacitivas
TX	Transmissor
RX	Receptor
TRX	Transmissor com Receptor
OOK	Chaveamento liga desliga
FSK	Chaveamento por troca de frequências
BFSK	Chaveamento Binário por troca de Frequências
OSC	Oscilador
DPFSK	Chaveamento Diferencial de Fase
CMOS	Semicondutor de Óxido Metálico Complementar
MOSFET	Transistor de Efeito de Campo Metal-Oxido-Semicondutor
ADC	Conversor Analógico Digital
DAC	Conversor Digital Analógico
LNA	Amplificador de baixo ruído
NRZ	Sem retorno para Zero
NRZI	Não Retorno a o Zero Invertido
PMOS	Transistor MOS Tipo P
NMOS	Transistor MOS tipo N
ED	Detector de envoltória
LO	Oscilador Local

LPF	Filtro passa-baixas
BPF	Filtro passa-faixas
PG	Amplificador com ganho programável
PLL	Loop de Fase de Bloqueio
Cont	Contador
VCO	Oscilador controlado por tensão
CLK	Clock
ALC	Compensamento automático de perdas
RC	Resistor-capacitor
LC	Indutor-capacitor
QAM	Modulação de Amplitude em Quadratura
OFDM	Multiplexação por Divisão de Frequências Ortogonais
QPSK	Chaveamento de Fase por Frequência de Quadratura
IL-DCO	Oscilador Controlado Digitalmente
DC	Corrente Contínua
FFT	Transformada Rápida de Fourier
MUX	Multiplexador
PIC	Comunicação por indexação de pulso

Lista de Símbolos

Símbolo	Descrição
α	Fator de incremento alpha
β	Ganho do transistor
ϕ_{osc}	Fase do oscilador
ϕ_{inj}	Fase da frequência injetada
ϕ	Fase
ω	Frequência
Θ	Defasagem
ϕ_0	Desvio de fase
ω_0	Frequência natural
ω_1	Frequência do oscilador injetado
ω_{lo}	Frequência do oscilador
μ	Mobilidade dos elétrons
ϕ_t	Tensão Termodinâmica
λ	Coefficiente de modulação do canal
ε_0	Permissividade Absoluta do vácuo
$\sigma(\omega)$	Condutividade
Δf	Largura de banda
ID	Corrente de Dreno
W_{inj}	Frequência injetada
I_{inj}	Corrente injetada
V_{inj}	Tensão injetada
V_{dd}	Tensão de alimentação
A_v	Ganho de tensão
g_m	Transcondutância em pequenos sinais
g_{mn}	Transcondutância canal n
g_{mp}	Transcondutância canal p
R_L	Resistência de Carga
R_{MF}	Resistência equivalente do transistor MF
DC	Corrente Contínua
V_{ctrl}	Tensão de controle
SNR	Relação sinal Ruido
C	Capacidade do canal

Capítulo 1

Introdução

1.1 Contextualização

Com o aumento da necessidade de monitoramento, movimentação e ações humanas, a utilização de sensores em uma rede para fornecimento de dados em tempo real tornou-se indispensável. Essas redes são chamadas WSN (*Wireless Sensor Network*) ou, quando utilizadas próximo ao corpo humano, recebem o nome de BAN (*Body Area Network*)[1] [2]. Esses sensores desempenham três funções fundamentais: comunicação, que pode ocorrer entre eles ou com dispositivos externos; sensoriamento, envolvendo a captura e gravação de dados, como o ritmo cardíaco, movimentação e deslocamento do indivíduo ou de qualquer objeto estranho ao corpo; e processamento de dados quando necessário [1][3][4].

Os biossensores utilizados em redes BAN podem ser classificados como invasivos, posicionados dentro do corpo humano, ou não invasivos, situados na pele[2][5]. Uma das aplicações inclui áreas militar e desportiva para captura de desempenho, com entrada de dados como velocidade, aceleração e força de um determinado movimento, possibilitando correções de técnica. Também encontramos esses sensores na sociedade civil, como em jogos eletrônicos que reproduzem os movimentos dos usuários[3]. Outra aplicação está no mercado dos *smartwatches*, que possuem sensores capazes de medir, por meio do GPS (*Global Positioning System*), a velocidade e a distância percorrida. Esses dispositivos também contam com sensores de medição do batimento cardíaco colocados no pulso, enviando esses dados para o celular do usuário. Na área de desenvolvimento de software, grandes empresas de jogos ou filmes replicam movimentos de atores para incorporar em personagens por meio de computação gráfica. Existem também aplicações na área de segurança, como assinaturas digitais que carregam dados pessoais para solicitação e pagamento de serviços, autenticação de segurança para acesso a áreas restritas e prevenção de fraudes [3]. Existem pesquisas como a de [6] que focam na robótica com um sistema capaz de captar sinais cerebrais transmitidos para o punho e retransmitir de forma compreensível para uma mão biônica para que a mesma realize movimento de acordo

com o sinal enviado. Para a área médica geralmente utilizada em BAN a taxa de transferência varia entre 10 kbps e 10 Mbps [7].

Para aplicações em BANs, a comunicação por RF (Radiofrequência) apresenta alta susceptibilidade à interferência eletromagnética, sofrendo atenuação do sinal causada pelo corpo humano. Isso aumenta a probabilidade de perda de desempenho e, em casos mais graves, de cortes completos na transmissão. Por esse motivo, os transmissores e receptores precisam ser mais potentes, resultando em uma relação desfavorável entre a energia consumida e a capacidade de transferência de dados (J (Joule)/bit).

Por outro lado, o método de comunicação chamado HBC (*Human Body Communication*) utiliza o próprio corpo humano como meio de transmissão de sinais e apresenta baixa atenuação na faixa entre 0,1 – 100 MHz. Isso reduz a potência necessária para os transmissores e receptores, além da complexidade e do tamanho dos circuitos quando comparados aos transceptores baseados em RF [8]. Isso permite o aumento da duração das baterias, ou a redução do seu tamanho, possibilitando um menor número de trocas e uma maior portabilidade dos dispositivos. Além disso, ao limitar os sinais ao corpo, o HBC também aumenta a segurança da rede e a privacidade dos dados, e reduz a interferência entre redes distintas[9][10]. Os métodos de acoplamento do HBC incluem o HBC capacitivo (Cap-HBC) e o HBC galvânico (Gal-HBC), que serão detalhados posteriormente. A taxa de transferência geralmente utilizada em BAN para a área médica varia entre 10 kbps e 10 Mbps[7]. A Tabela 1.1 apresenta uma comparação entre os principais métodos de comunicação utilizados em BAN e mostra uma propensão à interferência menor para os métodos HBC capacitivo e galvânico quando comparados ao UWB (*Ultra Wide Band*), comumente utilizado em IoT (*Internet of Things* - Internet das Coisas), Zigbee e Bluetooth, que são os principais métodos de transmissão via RF para WSN.

No que diz respeito ao parâmetro de distância, UWB, Zigbee e Bluetooth, todos com 10 metros, têm o maior alcance, enquanto o HBC se limita a uma distância de poucos metros, com o método de acoplamento capacitivo tendo um alcance de 2 metros e o acoplamento galvânico permitindo alcançar cerca de 40 centímetros. Já os links de acoplamento indutivos ou capacitivos, representados com sigla ICL (*Inductive Capacitive Links*), possuem um alcance de aproximadamente 3 centímetros, o que é uma distância curta demais para a maioria dos projetos. A frequências de operação das técnicas Zigbee e Bluetooth é 2,4 GHz, o UWB opera entre 3 e 10 GHz, enquanto o HBC, com acoplamento capacitivo, opera entre 10 - 100 MHz, e o HBC com acoplamento galvânico opera em 0,1 a 1 MHz[9].

Como as frequências utilizadas no acoplamento capacitivo são cerca de dez

Tabela 1.1: Características dos métodos de comunicação.

Técnica	Frequência(GHz)	Taxa de transferência (Mbps)	Potência(dBm)	Alcance de transmissão	Alcance de Interferência
Zigbee [93]	0,865-2,4	0,25	-3-10	10 m	alta
Bluetooth [94]	2,4	0,721-20	<20	10 m	alta
UWB	3-10	0,85-20	-41	10 m	alta
ICL	0,001-0,4[15]	0,0001-4[95]	-	0,5-3 cm	baixa
Cap-HBC	0,01-0,1	0,002-10	-15-5	5 cm-2 m	baixa
Gal-HBC	0,0001-0,01	0,0009-2	-30-(-4)	5 cm-40 cm	baixa

Fonte: Extraído de [9].

vezes maiores do que as frequências do acoplamento galvânico. A taxa de transferência de dados é significativamente superior no HBC capacitivo, assim como o alcance da transmissão, conforme apresentado na Tabela 1.1 [9]. Além disso, uma nova forma de acoplamento está emergindo no meio acadêmico, baseada em indução e denominada acoplamento magnético, mas não será abordada neste trabalho [11][12].

Dessa forma, o objetivo geral deste trabalho é abordar o projeto de um receptor para a tecnologia HBC, com ênfase no acoplamento capacitivo e arquitetura voltada para baixo consumo energético.

1.2 Objetivos

O projeto tem como objetivo geral alcançar as seguintes realizações com base nas informações obtidas na revisão bibliográfica: desenvolver um circuito receptor para HBC com acoplamento capacitivo em tecnologia CMOS 180 nm, utilizando modulação FSK com aprimoramentos no consumo energético e com taxa de dados adequada para aplicações médicas na faixa de operação do HBC. Dessa forma, os objetivos específicos podem ser delineados da seguinte maneira:

- Estudar a comunicação por HBC e o modelo de canal para a transmissão de dados.
- Projetar e simular os blocos de um circuito receptor, como amplificador, oscilador, entre outros, separadamente, com foco na análise de comportamento e desempenho, visando viabilizar a construção do circuito.
- Integrar os blocos do receptor, realizar avaliações funcionais e de desempenho por meio de simulações e, em seguida, produzir o leiaute para a fabricação do circuito.
- Comparar os resultados obtidos para o receptor proposto com alguns circuitos apresentados na revisão bibliográfica, com foco no consumo energético, nível de complexidade e custo de projeto.

1.3 Metodologia

O trabalho segue as seguintes fases para o seu desenvolvimento:

1. Revisão bibliográfica: uma pesquisa realizada voltada para estudar a comunicação via HBC e circuitos semelhantes aos que se propõe desenvolver aqui, mas no estado da arte, com o objetivo de obter dados pertinentes à caracterização do canal, às topologias e ao desempenho de circuitos, como taxa de transferência de dados, tecnologia de construção, consumo e eficiência energética.

2. Projeto e simulação: projetar e simular os blocos utilizados em tecnologia CMOS UMC L180 Mixed-Mode/RF , utilizando ferramentas matemáticas, como Octave e Matlab, e de simulação, como o Cadence Virtuoso, para verificação da funcionalidade e do desempenho individual e integrados no circuito receptor.

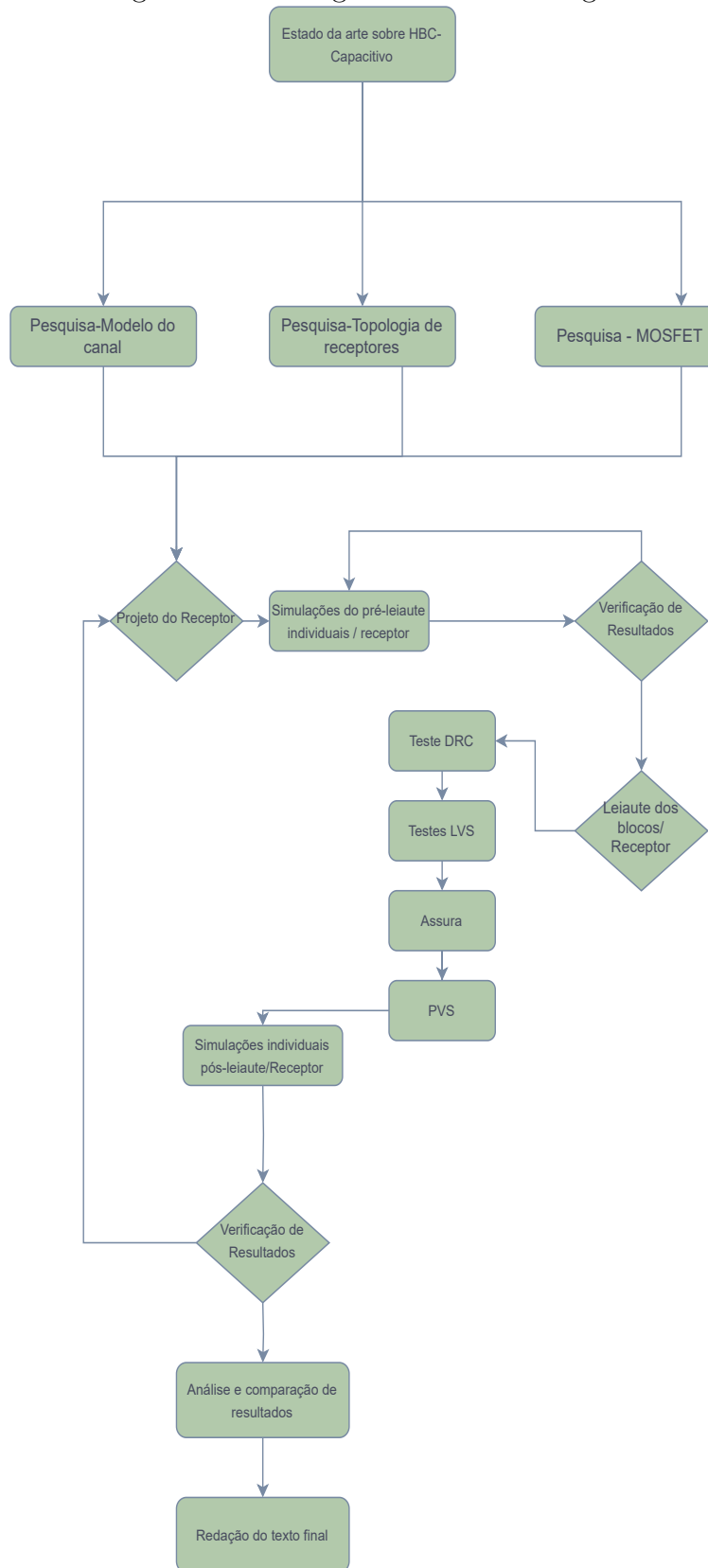
3. Confecção de leiaute: Produção do leiaute do circuito completo para fabricação em tecnologia CMOS, com a devida verificação das regras de fabricação e do desempenho do projeto em simulações pós leiaute.

4. Análise de resultados: Analisar os resultados de simulação e compará-los com receptores encontrados na literatura.

5. Redação do texto final: Organizar todo o conhecimento obtido pela pesquisa realizada no item 1, descrever a concepção dos blocos individuais e do receptor, demonstrar os resultados das simulações realizadas nos itens 2, 3 e 4, e resumir o trabalho em forma de artigo para apresentação no XLI Simpósio Brasileiro de Telecomunicações e Processamento de Sinais.

A metodologia utilizada pode ser resumida no fluxograma representado na Figura 1.1. Para a realização das atividades, foram utilizados softwares gratuitos ou as licenças dos softwares disponíveis para o Laboratório de Concepção de Circuitos Integrados (LCCI) no desenvolvimento de trabalhos em tecnologia CMOS, a rede interna para trabalhos à distância da UFBA e o acesso ao conteúdo IEEE disponibilizado pela CAPES para pesquisa de referências.

Figura 1.1: Fluxograma da metodologia.



Fonte: Fluxograma produzido pelo autor.

Capítulo 2

Estado da arte de transceptores e receptores para HBC capacitivo

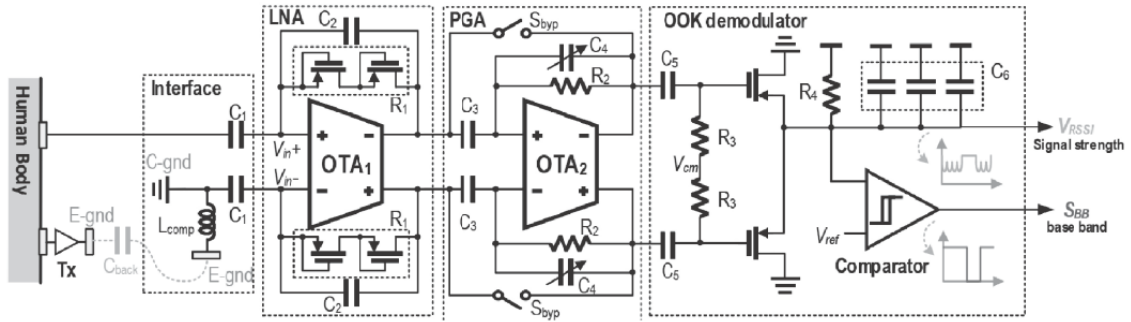
Em 1995, a análise conduzida por T.G Zimmermann representou um marco inicial crucial para a pesquisa da tecnologia conhecida como BCC (*Body Couple Communication*), também denominada HBC (*Human Body Communication*). Nessa pesquisa, Zimmermann abordou um modo de comunicação corpórea, modelando separadamente os componentes TX (transmissor) e RX (receptor), operando sob consumo de energia proveniente de bateria.[8]

Os eletrodos de TX e RX são fixados ao corpo, sendo a transferência de dados do RX para o TX realizada por meio de aterramento externo, conferindo importância ao eletrodo de aterramento. Já a transferência do TX para o RX ocorre através do corpo humano. Os circuitos responsáveis pela recepção de dados e os circuitos transmissores evoluíram em capacidade de taxa de dados, distância coberta e redução no consumo de energia, permitindo aprimoramentos em suas versões desenvolvidas também para HBC [8].

A abordagem feita por [13] sobre HBC capacitivo explora o projeto de um transceptor que utiliza a modulação *OOK* (*On-Off Keying*), chaveamento liga-desliga, e opera numa banda *quasi-static* (a partir de 30 MHz e menor que 200 MHz), considerada mais estável em relação à perda de sinal. O projeto apresentado utiliza a técnica *auto-loss-compensation* (*ALC*), que se baseia em atenuar a capacitância de acoplamento reverso, reduzindo assim a potência necessária para a transferência de dados. O circuito foi desenvolvido na tecnologia CMOS 180 nm, alcançando uma taxa de transferência de 4 Mbps.

O receptor do circuito está apresentado na Figura 2.1 e é composto pelos seguintes blocos: uma interface para contato com a pele, seguida por um LNA para amplificação de baixo ruído. No terceiro estágio, é utilizado um PGA (*programmable gain amplifier*), um amplificador programável. O último estágio consiste em um demodulador OOK. O consumo do receptor é de 160 μW [13].

Figura 2.1: Circuito do receptor com interface capacitiva.

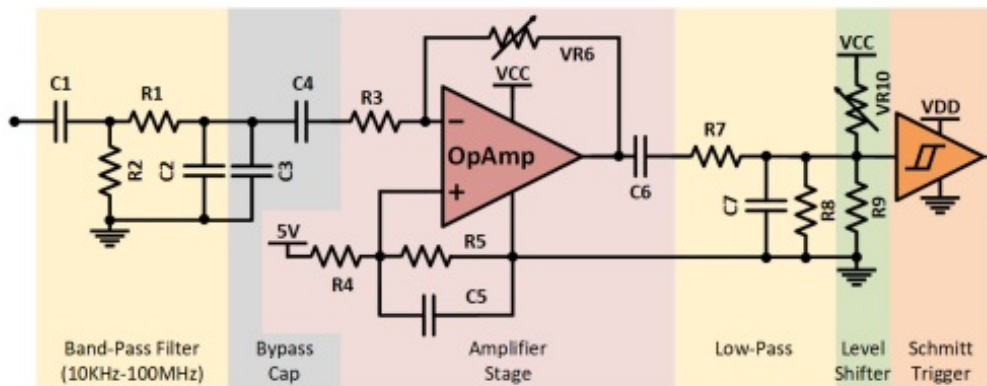


Fonte: Imagem extraída de [13].

O receptor apresentado por [14] é baseado no método chamado PIC (*pulse index communication*), que utiliza as bordas dos pulsos transmitidos para codificar e detectar os pulsos. O objetivo é simplificar a topologia física de um transceptor para HBC, reduzindo assim o consumo final ao eliminar circuitos dedicados ao *clock*, à recuperação de dados e à correção do ciclo de trabalho. O esquemático do receptor neste projeto é demonstrado pela Figura 2.2.

Este projeto tem um consumo estimado de cerca de 1 mW a 9 mW para os dois modos de operação. Os blocos na Figura 2.2 incluem um filtro passa-faixas, que permite apenas a passagem de frequências de 10 kHz até 100 MHz, seguido por um estágio de amplificação com um amplificador inversor, um filtro passa-baixas, um circuito auxiliar para troca de nível DC realizado por um divisor de tensão com uma resistência fixa e uma variável, e, por último, um *Schmitt Trigger* [14].

Figura 2.2: Circuito receptor com PIC.

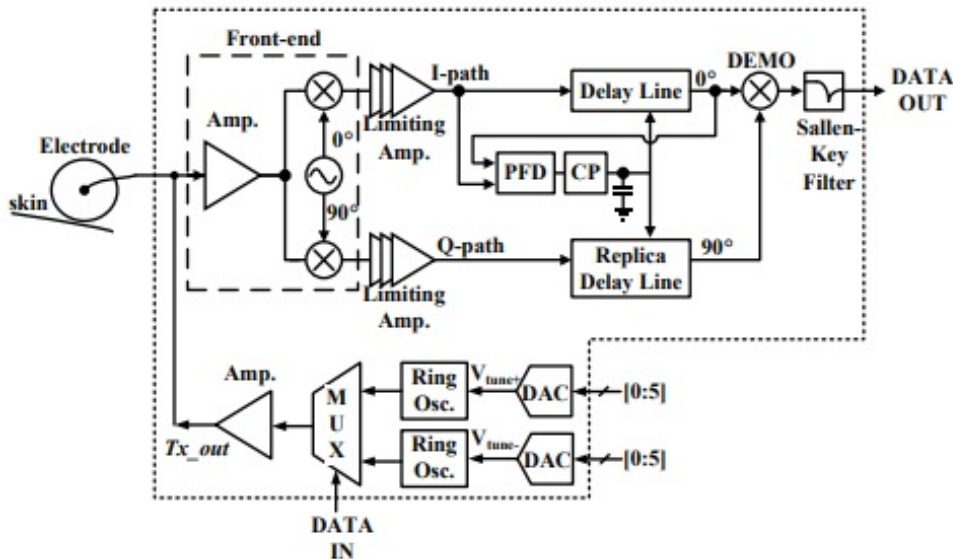


Fonte: Circuito Extraído de [14].

Em [15], foi projetado um transceptor, demonstrado na Figura 2.3, para HBC com tecnologia CMOS de 180 nm, focado em ultra baixo consumo. Utilizou-se a modulação DPFSK (*Discontinuous-phase FSK*), escolhida com o objetivo de simplificar o circuito, resultando em redução na área do chip resultando em uma área de 0,046 mm². O transceptor, atuando como transmissor e receptor na mesma unidade, foi desenvolvido para a conexão de biossensores, coletando dados na rede e transmitindo para equipamentos externos.

A frequência utilizada como portadora foi de 80 MHz. O circuito apresenta uma taxa de transferência de 1 Mbps, e o projeto opera com 1,8 V de tensão de alimentação. O receptor tem um consumo de 1,79 mW, enquanto o transmissor consome 700 μ W, resultando numa energia consumida de 1,79 nJ/bit no receptor e 0,7 nJ/bit no transmissor. O TRX apresentado na Figura 2.3 é composto por um receptor (RX) com conversão direta e amplificadores limitadores, que também servem para a proteção do circuito. Um demodulador baseado em DL (*Delay Line*) no *front-end* converte os sinais de frequências DPFSK em sinais de banda modulados em quadratura (Q/I) com uma linha DL replicada para Q atrasada em 90°. No final do demodulador, um filtro Sallen Key é utilizado para remover e filtrar os harmônicos da saída do demodulador. Quanto ao transmissor (TX), ele foi implementado com um amplificador, um multiplexador, dois osciladores em anel controlados por tensão (VCO) e dois DACs (*Digital-to-Analog Converters*) [15].

Figura 2.3: Transceptor com TRX e RX.



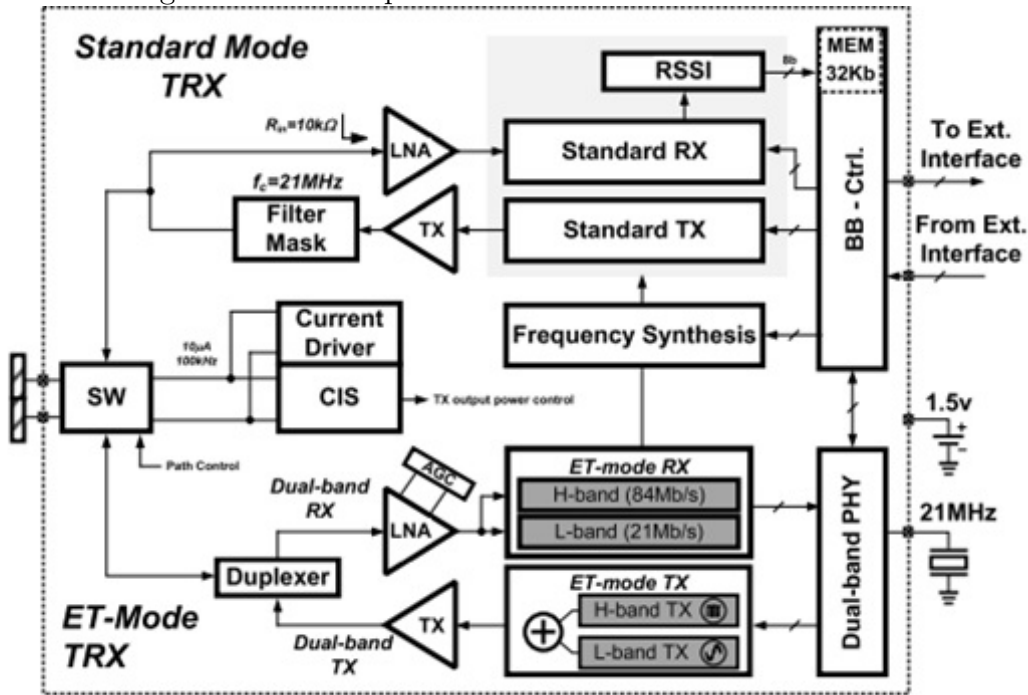
Fonte: Circuito extraído de [15].

Em outubro de 2020, [16] propôs uma nova abordagem sobre HBC, concebendo um transceptor com dois TRXs e dois RXs. O circuito, mostrado na Figura

2.4, é adaptável a duas formas de utilização: uma no padrão IEEE 802.15.6 com modulação BPSK, taxa de transferência entre 164 kbps e 1,315 Mbps, sendo o TX consumindo 0,9 mW para esse modo, e o RX (ambas partes do TRX demonstrado na Figura 2.4 consumindo 5 mW. O projeto possui um segundo TX e um segundo RX para o método de operação ET (*Entertainment-Mode*), modo de entretenimento, e suas características estão presentes na Tabela 2.

O circuito completo tem uma relação energética de 3,8 nJ/bit e banda de frequência entre 18,375 MHz e 23,625 MHz. O segundo método de funcionamento do circuito possui duas bandas, a primeira sendo de 31,5 MHz até 52,5 MHz e a segunda entre 147 MHz e 189 MHz, com modulação QPSK e taxa de transferência de 105 Mbps, sendo 21 Mbps para a primeira banda e 84 Mbps para a segunda. A tecnologia utilizada foi 180 nm para o TRX, e o RX foi fabricado em 65 nm. Os blocos dos circuitos consistem em duas unidades de funcionamento [16].

Figura 2.4: Transeptor com dois TRXs e dois RXs.

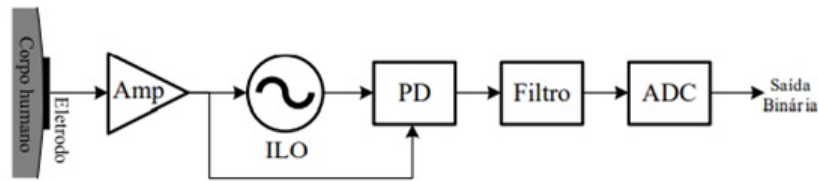


Fonte: Circuito extraído de [16].

O estudo proposto por [17] é um projeto desenvolvido em um circuito integrado CMOS de 130 nm. O circuito receptor utiliza modulação BFSK, com uma taxa de transferência especificada de 2 Mbps, consumindo 1,68 mW no receptor. Com potência consumida de 1,68 mW, e a tensão de alimentação é de 1,2 V. A faixa de frequência abrange 10 -100 MHz.

O receptor, ilustrado na Figura 2.5, é composto por um amplificador conectado diretamente ao eletrodo de contato com a pele. Utiliza um ILO (oscilador injetado), que é um oscilador empregando a técnica de *injection locking*, onde um oscilador em anel é projetado para sincronizar com uma frequência externa. Adicionalmente, inclui um PD (detector de fase) baseado no circuito *flip-flop* tipo D, um filtro RC passa-baixa e um comparador ADC. Isso resulta em uma demodulação por meio da conversão frequência-fase [17] [18].

Figura 2.5: Circuito do receptor BFSK.



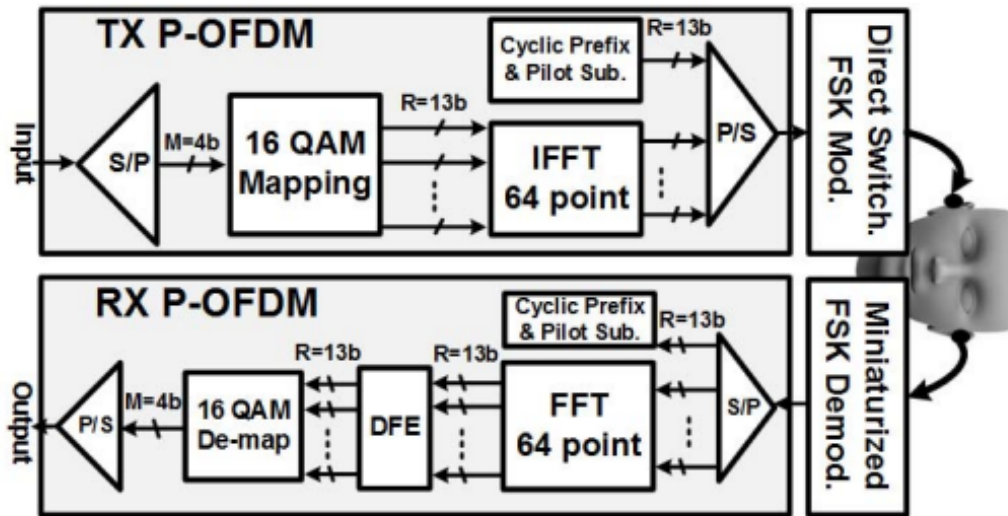
Fonte: Diagrama extraído de[17].

O transceptor, conforme apresentado na Figura 2.6, desenvolvido em 2017 por [19], utiliza POFDM (*Pseudo Orthogonal Frequency Division Multiplex*). O circuito, composto por dois TRXs, foi projetado para aplicações na área audiovisual, mais especificamente para comunicação auditiva. Assim, o circuito é constituído por um TRX para OFDM e um TRX para FSK, fabricado em tecnologia CMOS 65 nm. A ideia é empregar a modulação OFDM em duas frequências portadoras usando modulação FSK para reduzir a interferência.

A taxa de transferência do transceptor é de 1 Mbps, com uma banda de frequência de 20 MHz até 120 MHz e consumo de 1,4 mW. O circuito TR é composto por um TX utilizando QAM 16 para modulação em quadratura, e um RX que utiliza demodulador OFDM. Quanto ao modelo de demodulação FSK proposto, utiliza o algoritmo *adaptive frequency hop* para evitar interferência nos quatro canais. O seletor de canais realiza uma troca direta para FSK.

No receptor, há também um LNA para compensar as perdas no canal, um misturador com topologia *Gilbert Cell* para converter o sinal para banda base. O sinal resultante é direcionado para um circuito de decisão baseado em um comparador com histerese *Schmitt Trigger* para ajustar o sinal para bit 0 ou 1 [19].

Figura 2.6: TRX POFDM e FSK.

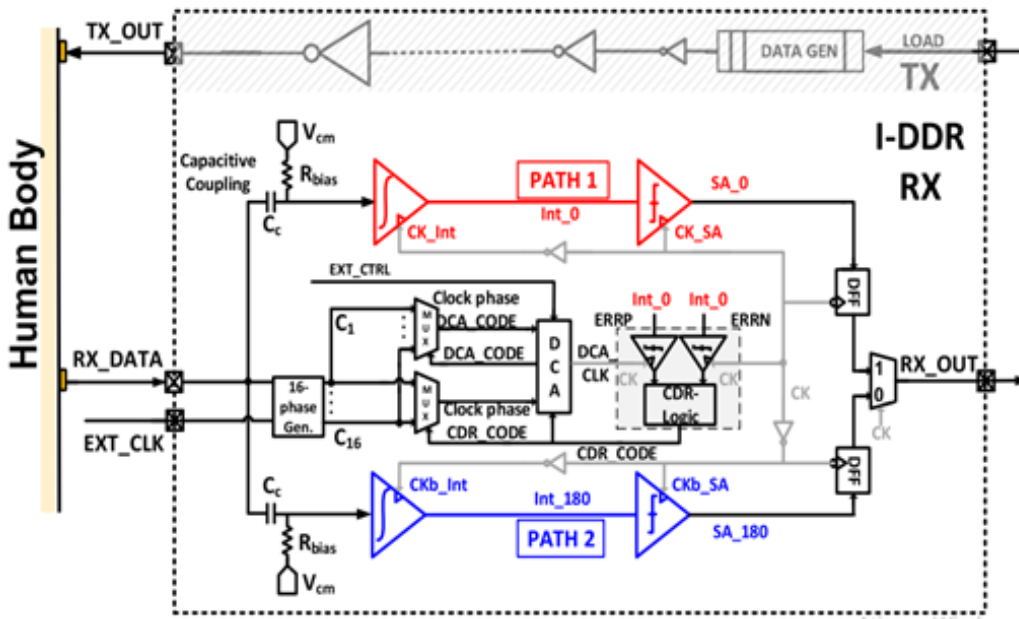


Fonte: Projeto extraído de [19].

O circuito TRX proposto por [20], apresentado na Figura 2.7, é um transceptor HBC com tecnologia CMOS de 65 nm, utilizando modulação NRZ (*Non Return to Zero*). O circuito possui uma taxa de transferência de 30 Mbps, e seu receptor consome $98 \mu W$. No receptor, baseado na técnica de integração e amostragem periódica para mitigar interferências, existem dois caminhos com integrador e amostrador para processar bits alternados. Também são utilizados pseudo resistores para polarizar os integradores e garantir a impedância necessária para a transferência de tensão.

O circuito inclui ainda componentes para recuperação do *clock* (*CDR – Clock-Data Recovery*) e *DCA* (*Duty Cycle Adaptation*) para ajustar o ciclo de trabalho do *clock* e habilitar a rejeição de frequências variáveis. No transmissor, o circuito conta com um gerador de dados seguido por *buffers* em sequência para encaminhar o sinal pelo corpo [20].

Figura 2.7: Transceptor NRZ.

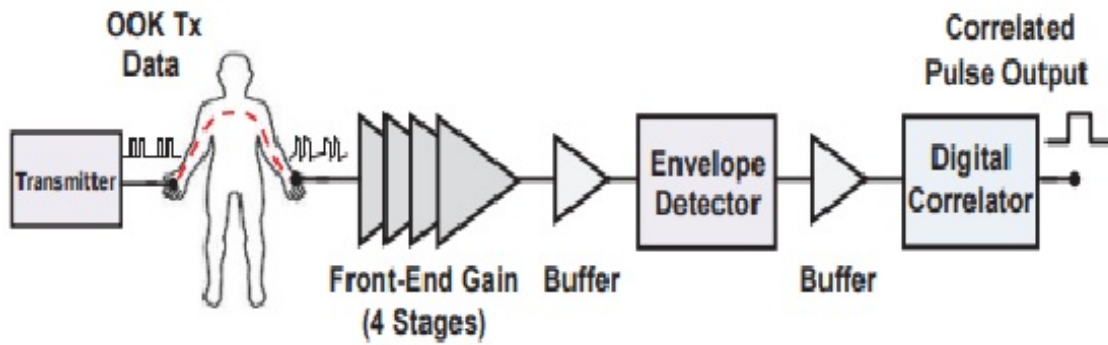


Fonte: Projeto extraído de [20].

Além dos receptores citados, utilizados para taxas de dados geralmente elevadas, que demandam um consumo moderado, existem receptores com propósitos secundários e taxas ultra baixas de dados, como na abordagem de [21], apresentada no circuito da Figura 2.8. Essa proposta visa um *wake-up receiver* para HBC, um tipo de receptor auxiliar de ultrabaixo consumo, utilizado para acionar dispositivos ociosos, como, por exemplo, outro receptor principal. Sua arquitetura, adequada para receber sinal OOK, conta com múltiplos estágios amplificadores para aplicar ganho na portadora modulada. Inclui também um detector de envoltória responsável por identificar os picos do sinal de entrada e converter o sinal OOK, modulado em 50 kHz, para a banda base.

Os dados da banda base, por fim, entram no *Digital Correlator*, que gera um pulso de *wake-up* quando uma sequência predeterminada de pulsos é detectada nesses dados. O circuito foi fabricado em tecnologia CMOS de 65 nm e consome uma potência de 694 pW, com a portadora do sinal escolhida em frequência de 50 kHz e a tensão de operação em 0,3 V [21].

Figura 2.8: Diagrama do *wake-up receiver*.



Fonte: Diagrama extraído de [21].

A Tabela 2 resume As características mais relevantes. Considerando a amostra constituída pelos trabalhos apresentados, verifica-se uma tendência para por circuitos de baixo consumo, com diversas topologias e resultados variados para a implementação do HBC.

Comparação entre os principais projetos pesquisados.

	[13]	[14]	[15]	[16](802.15.6)/ET	[20]	[17]	[19]
Parâmetros				BPSK/QPSK	NRZ	FSK	64-F(OFDM)+FSK
Modulação	OOK	Não informada	DPFSK	180 nm (TRX)/ 65 nm RX adicional	65 nm	130 nm	65 nm
Tecnologia de construção	180 nm	Circuito Discreto	UMC 180 nm	164 kbps-1,315 Mbps(BPSK)- 105 Mbps(QPSK)(21+84)	30 Mbps	2 Mbps	1 Mbps
Taxa de transferência	4 Mbps	21 Mbps-120 Mbps	1 Mbps	5 mW(RX)-BPSK			
Consumo de potência	160 μW (RX)	Est LS(0,2-0,8) HS(1,3-4,4)	1,79 mW(RX)	0,9 mW(TX)/ 2,1 mW(TX)	98 μW (RX)	Aprox 1.68 mW(RX est)	1,4 mW
Faixa de frequência	21 MHz	Não informado	80 MHz	9,4 mW(RX)-QPSK 18,375-23,625 MHz(BPSK)-/31,5-52,5 MHz	Não possui	10-100 MHz	20-120 MHz
Tensão de operação	0,8 V	1,1 V 3,3 V 5,5 V	1,8 V	147-189 MHz(QPSK)	1 V	1,2 V	1,1 V

Fonte: Tabela produzida pelo autor.

Os transceptores HBC possuem demanda energética muito baixa, como verificado nos circuitos apresentados, mas ainda existe espaço para melhoria desse aspecto técnico. Todos os transceptores pesquisados têm uma tendência de consumo energético na ordem de nanojoules por bit, assim como uma tensão de alimentação por volta de 1 V a 2 V, dadas as escolhas da tecnologia de fabricação. As modulações também apresentam a tendência de serem as mais simples, como OOK e FSK. O motivo para essa escolha é que a modulação mais simples reduz a complexidade do circuito. As frequências tendem a situar-se entre 20 e 100 MHz para as modulações mais simples e modos de baixo consumo, e o foco é sempre uma transmissão maior ou igual a 1 Mbps, e o mínimo de consumo energético possível.

Capítulo 3

Fundamentação teórica

3.1 HBC - Comunicação pelo corpo humano

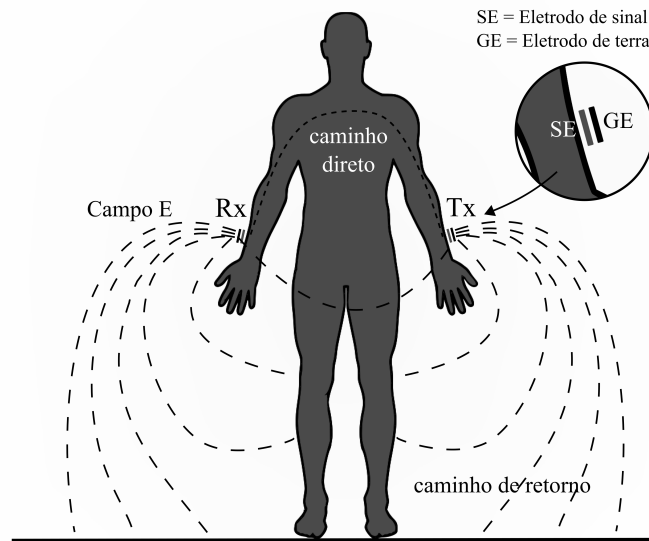
O HBC, *Human Body Communication*, ou Comunicação pelo Corpo Humano em português, é uma tecnologia criada em 1995 por Thomas Gutrie Zimmerman. O HBC tem como principal característica utilizar o corpo humano como meio de transporte de sinal. Estudos também dividem em três as possíveis classificações para o HBC, de acordo com o tipo de ajuste de fixação dos eletrodos no corpo humano. São eles: o acoplamento capacitivo [9] [11] [17] e o acoplamento galvânico [9] [11], como principais, além do acoplamento magnético [11] [22]. Neste trabalho, abordaremos apenas o acoplamento capacitivo do HBC.

3.1.1 Acoplamento capacitivo

O acoplamento capacitivo é uma ligação que utiliza dois pares de eletrodos fixados no corpo: um par de eletrodos para o circuito transmissor e outro para o receptor. Em cada par de eletrodos, tanto do receptor quanto do transmissor, um eletrodo está em contato com o corpo humano (eletrodo de sinal), e o outro eletrodo está em contato com o ar (eletrodo de terra).

A condução ocorre quando campos elétricos se formam entre os eletrodos de sinal e os tecidos, e entre os eletrodos de terra e o plano de terra externo, como mostrado na Figura 3.1. Esse campo elétrico, resultante de um potencial elétrico no transmissor (TX), consegue transmitir informação utilizando o corpo como meio de condução. A faixa de frequência para utilização do HBC capacitivo é, usualmente, entre 10 e 100 MHz, e o alcance da transmissão está entre 5 cm e 2 m [9] [11] [17] [4].

Figura 3.1: Imagem ilustrativa do fluxo elétrico do acoplamento capacitivo.



Fonte: Imagem produzida pelo autor.

3.1.2 Modelagem do canal

Os modelos do canal HBC se dividem em dois grupos gerais distintos: os modelos analíticos, baseados nas equações eletromagnéticas, e os modelos de circuitos com parâmetros concentrados ou distribuídos [9] [8]. De maior relevância para o projeto de circuitos são os modelos baseados em circuitos.

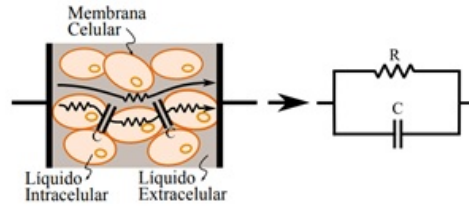
Na literatura, algumas modelagens de circuitos do canal HBC capacitivo consideram que as impedâncias das camadas de tecido, as distâncias dos eletrodos com o meio externo e entre os eletrodos em si aparecem como variações de circuitos RC em série e paralelo.

Muitos modelos apresentados para os tecidos convergem para uma representação elétrica de um circuito RC, estando de acordo com as características capacitivas e condutivas apresentadas durante os testes realizados tanto na membrana celular quanto nos líquidos internos e externos às células. Assim, utilizando as dimensões de comprimento (L) e secção transversal (A), a permissividade e a condutividade de um determinado agrupamento de amostras de tecidos modelados pelas equações de Cole-Cole, que descrevem a condutividade e permissividade nos tecidos, podemos obter as aproximações para a resistência R , Equação (3.1) e para a capacitância C , (Equação 3.2) com base nas permissividade e condutividade. A Figura 3.2 representa o modelo simplificado comparando o circuito RC com a célula de um tecido [17] [9] [20].

$$R = \frac{L}{\sigma(\omega)A} \quad (3.1)$$

$$C = \frac{\varepsilon_r(\omega)\varepsilon_o A}{L} \quad (3.2)$$

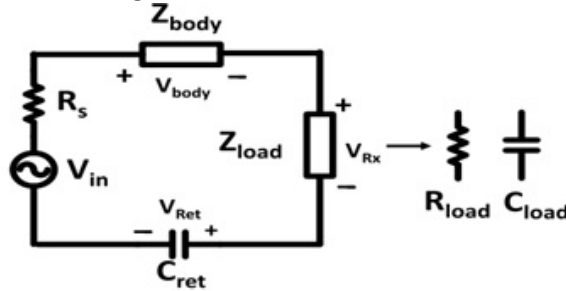
Figura 3.2: Modelo RC equivalente ao tecido em nível celular.



Fonte: Imagem extraída de [17].

Considerando a representação elétrica dos tecidos e que a distância dos eletrodos de terra com o plano de terra pode ser representada por uma capacitância, uma função de transferência para o canal pode ser encontrada a partir da representação simples do canal HBC mostrada na Figura 3.3, onde Z_{body} é a impedância do corpo, R_s é a resistência do receptor, Z_{load} é a impedância do receptor, e C_{ret} é a capacitância do caminho de retorno. Assim, a Equação 3.3, apresentada por [20], oferece uma forma muito simplificada de modelar a perda completa no canal [20].

Figura 3.3: Modelo do canal.



Fonte: Imagem extraída de [20].

$$\frac{V_{R_x}}{V_{in}} = \frac{Z_{\text{load}}}{R_s + Z_{\text{body}} + Z_{\text{load}} + \frac{1}{sC_{\text{ret}}}} \quad (3.3)$$

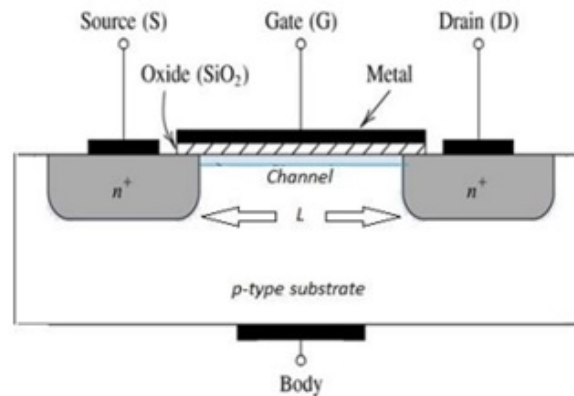
3.2 MOSFET

O transistor de efeito de campo, MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*), é um dispositivo eletrônico que possui quatro terminais com as seguintes nomenclaturas e abreviações: D (*Drain*), Dreno; G (*Gate*), Porta; B (*Bulk*), substrato; e S (*Source*), Fonte. A Figura 3.4 apresenta um transistor MOSFET tipo N, no qual o substrato é feito de material semiconductor, geralmente silício, tipo P, e Fonte e Dreno são feitos com material tipo N. Por outro lado, o MOSFET tipo P possui substrato com tipo N, e Fonte e Dreno são feitas com material tipo P. A porta é um contato metálico separado do substrato por um dielétrico, como SiO_2 . Materiais de tipo P possuem um excesso de portadores de carga elétrica positiva (lacunas), enquanto materiais N possuem um excesso de portadores de carga elétrica negativa (elétrons).

O funcionamento básico do MOSFET fundamenta-se na amplitude da diferença de potencial entre o terminal *Gate* e o *Bulk* (V_{GB}), seja ela positiva ou negativa, dependendo do tipo de transistor, seja ele tipo N (NMOS) ou tipo P (PMOS).

Isso cria entre os terminais de Fonte e Dreno uma zona de condução composta por cargas elétricas opostas às presentes no substrato, gerando uma corrente entre dreno e fonte ao aplicar um potencial adequado entre esses terminais[23] [24].

Figura 3.4: Transistor de efeito de campo.



Fonte: Imagem extraída de [23].

O MOSFET possui basicamente dois regimes de operação em modelos descontínuos: inversão fraca e inversão forte, de acordo com a tensão (V_{GB}). As equações das correntes I_D para cada regime de operação serão citadas nos parágrafos seguintes. Nas expressões a seguir, V_t é a tensão de *threshold*, (V_{ds}) é a tensão entre dreno e fonte, V_{gs} é a tensão entre porta e fonte, V_{sb} é a tensão entre fonte e substrato, V_g é a tensão da porta, n é o fator de rampa, (I_D) é a corrente entre dreno e fonte, W é a largura escolhida para o transistor, L é o comprimento, C'_{ox} é a capacitância do óxido, μ é a mobilidade de elétrons no material, ϕ_t é a tensão Termodinâmica, uma

variável função de $k(T/q)$ em que k é a constante de Boltzmann e T é a temperatura medida em Kelvin e q é a carga elétrica do elétron em Coulombs [23] [25].

O regime de inversão fraca, que se subdivide em regiões linear ou de saturação, tem como condição primária a relação $(V_{gs}) < (V_t)$, caso V_{sb} seja igual a 0, ou $(V_{GB}) < (V_t) + n.(V_{sb})$ para o transistor NMOS. A região de triódo ou linear é aquela em que o MOSFET apresenta uma relação linear entre a corrente (I_D) e a tensão entre dreno e fonte. A corrente I_D é representada pela Equação 3.4. O limiar desta região é definido por $(V_{ds}) < 4\phi T$, onde (V_{ds}) é a tensão entre dreno e fonte, e $4\phi T$ é a tensão de *pinch-off*. A região de saturação, onde (I_D) é aproximadamente constante em relação a (V_{ds}) , ocorre para $(V_{ds}) \geq 4\phi T$, e (I_{Do}) é a corrente (I_D) para $(V_{gs}) = (V_t)$. Seu comportamento é dado pela Equação 3.5 [23][26] [24].

$$I_D = I_{Do} e^{\left(\frac{V_{gb}-V_t}{n\phi t} - V_{sb}\right)} \left(1 - e^{-\frac{V_{ds}}{\phi t}}\right), (V_{ds}) < 4\phi T \quad (3.4)$$

$$I_D = I_{Do} e^{\left(\frac{V_{gs}-V_t}{\phi t}\right)}, (V_{ds}) > 4\phi T \quad (3.5)$$

De maneira análoga, a inversão forte, que ocorre quando $(V_{gs}) \geq (V_t) + n(V_{sb})$ ou $(V_{gs}) \geq (V_t)$, para V_{sb} igual a 0, também possui regiões triódo e de saturação. Para região triódo, a sua relação de tensões é $V_{db} < (V_{gb} - V_t)/n$ ou $V_{ds} < (V_{sg} - V_t)/n$, considerando $V_{sb} = 0$. Para a região de saturação, a relação é $V_{db} \geq (V_{gb} - V_t)/n$ ou $V_{ds} \geq (V_{sg} - V_t)/N$, considerando V_{sb} igual a 0. A equação do comportamento da corrente I_D , cujo modelo é baseado na aproximação de canal gradual, para região triódo com inversão forte é dada pela Equação 3.6 [23][26] [24]:

$$I_D = K [2(V_{gs} - V_t)V_{ds} - V_{ds}^2], \text{ onde } K = \frac{1}{2}\mu C'_{ox} \frac{W.n}{L} \quad (3.6)$$

O gráfico resultante das operações do MOSFET tipo N, apresentado na Figura 3.5, indica a relação entre I_D e V_{DS} . O comportamento da corrente I_D para a região de saturação com inversão forte é dada pela Equação 3.7 [23][26] [24]:

$$I_D = K [2(V_{gs} - V_t^2)] [1 + \lambda V_{ds}], \text{ onde } K = \frac{1}{2}\mu C'_{ox} \frac{W.n}{L} \quad (3.7)$$

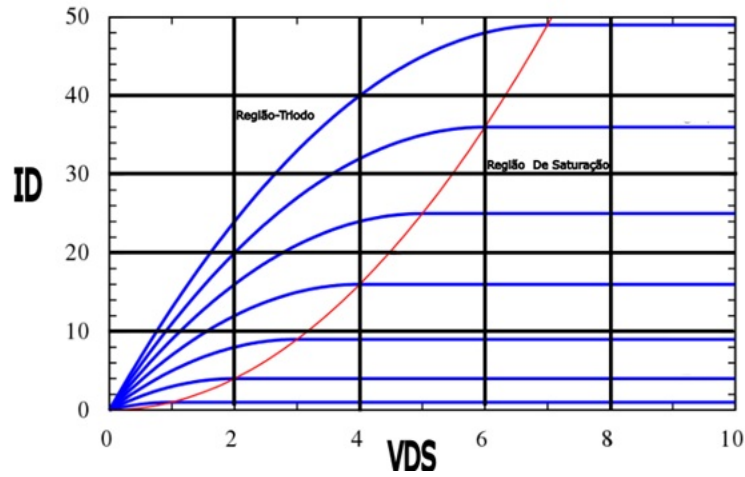
Para o MOSFET PMOS, as condições de inversão forte são $V_{sg} \geq |V_t|$ e $V_{sd} < (V_{sg} - |V_t|)$, caracterizando a região de triódo, conforme a Equação 3.8, que descreve o comportamento da corrente I_D . Já na região de saturação, as condições

são $V_{sg} \geq |V_t|$ e $V_{sd} \geq (V_{sg} - |V_t|)$. A Equação 3.9 representa a corrente I_D nesse contexto. No caso do transistor PMOS, é sempre válido que $V_t < 0$ [23][26] [24].

$$I_D = K [2 (V_{gs} - |V_t|) V_{sd} - V_{sd}^2], \text{ onde } K = \frac{1}{2} \mu C'_{ox} \frac{W \cdot n}{L} \quad (3.8)$$

$$I_D = K [(V_{sg} - V_t)^2] [1 + \lambda V_{ds}], \text{ onde } K = \frac{1}{2} \mu C'_{ox} \frac{W \cdot n}{L} \quad (3.9)$$

Figura 3.5: Curva $I_D \times V_{DS}$ do MOSFET tipo N.



Fonte: Imagem produzida pelo autor.

3.3 Arquitetura de um receptor RF

Para qualquer comunicação que sofre severas restrições causadas pelo ambiente, uma das maiores limitações ocorre devido ao número limitado de banda que pode ser alocado para cada usuário. O resultado é uma restrição no tráfego de informação, tornando necessário o uso de técnicas avançadas de codificação, compressão e modulações eficientes para faixas específicas de frequência.

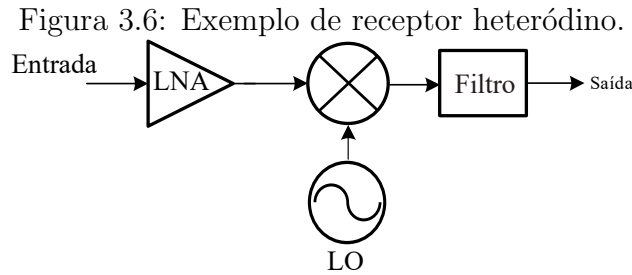
Existem várias técnicas capazes de realizar a recepção de um sinal, e a escolha deve ser baseada nas necessidades de cada projeto, como taxa de transferência, consumo, desempenho, complexidade, custos ou características do sinal a ser recebido. Neste contexto, serão abordadas apenas algumas topologias básicas para receptores[25].

3.3.1 Receptores heteródinos

Os receptores heteródinos são aqueles que utilizam misturadores de frequência e pelo menos um oscilador local (LO), geralmente um PLL (*Phase locked loop*), que gera um sinal de referência com frequência ω_{lo} diferente da frequência de RF do sinal recebido. Essa operação realiza a multiplicação entre a frequência RF e a frequência LO, resultando em uma frequência intermediária IF (*Intermediate Frequency*). Esse processo é uma das etapas utilizadas para reduzir a frequência de RF para a banda base.

As técnicas de conversão de frequência para a banda base são denominadas *down conversion* e, em alguns receptores, podem envolver vários estágios de mistura de sinais, utilizando mais de uma IF [25]. Existem duas opções para a utilização dessa técnica. Na primeira, a frequência do LO é fixa, com cada canal RF convertido para uma IF separada, resultando em $F_{if} = F_{rf} - F_{lo}$. A segunda opção envolve uma frequência do LO variável, onde as frequências RF são convertidas para uma mesma IF, selecionando $F_{lo} = F_{rf} - F_{if}$. Após essa etapa, o sinal resultante passa por um filtro passa-baixas para remover componentes indesejadas geradas pela multiplicação no domínio da frequência [25][26].

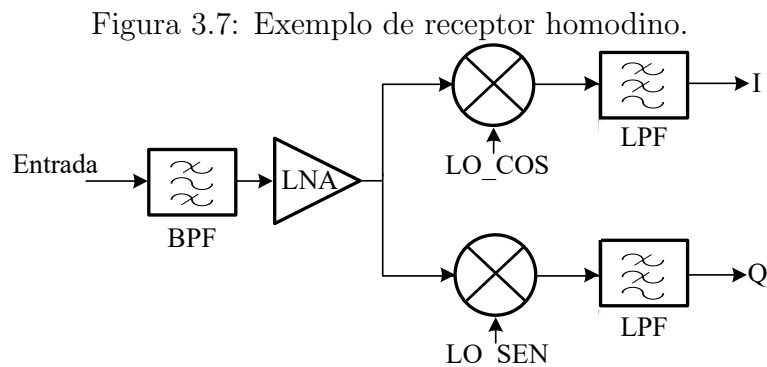
Os receptores heteródinos sempre utilizam amplificadores de baixo ruído antes dos misturadores, uma vez que estes tendem a introduzir muito ruído, além de o sinal recebido já estar bastante atenuado. Um exemplo básico de receptor heteródino está ilustrado na Figura 3.6.



Fonte: Imagem produzida pelo autor.

3.3.2 Receptores homodinos

Nos receptores homodinos, também chamados de receptores de conversão direta, em vez de reduzir as frequências para a banda base por múltiplos estágios, utilizando uma ou mais frequências intermediárias entre esses estágios, como no receptor heteródino, a conversão é feita diretamente do sinal RF para a banda base, usando ω_{lo} igual à frequência de RF. O circuito apresentado na Figura 3.7 é um exemplo de circuito receptor homodino, no qual um filtro passa-faixa (BPF) está conectado a um amplificador de baixo ruído (LNA). Este, por sua vez, é ligado a dois misturadores (mixers), sendo que cada mixer recebe um sinal senoidal de LOs em quadratura. O sinal resultante da operação entre o sinal do LO e o sinal proveniente do LNA, misturados no mixer, é o sinal de banda base, que passa por um estágio adicional de filtragem com um filtro passa-baixas (LPF) para realizar a seleção de canal[25][26].



Fonte: Imagem produzida pelo autor.

3.3.3 Topologias de receptores FSK

A modulação FSK é amplamente empregada em receptores de baixo consumo, devido à sua resistência a interferências e à baixa complexidade exigida nos projetos

de circuitos. A seguir, serão apresentadas algumas topologias de receptores FSK para fins de comparação.

A primeira abordagem é chamada de demodulação FSK síncrona. Nesta configuração, um sinal RF é direcionado para dois ramos paralelos conectados a misturadores que recebem sinais de osciladores locais em cada frequência do FSK. Esses ramos, geralmente denominados caminhos I e Q, são seguidos por filtros passa-baixas. Os sinais resultantes desses ramos convergem em um circuito de decisão, que pode ser um comparador capaz de diferenciar as componentes da modulação FSK. O diagrama esquemático dessa topologia é apresentado pela Figura 3.8 [19] [27].

A segunda abordagem é denominada *zero crossing demodulator* (demodulador de cruzamento por zero). Ela opera com base no princípio de que a informação é carregada pela frequência do sinal. Assim, o período é verificado no momento em que ocorre o cruzamento do sinal para determinar sua frequência local. Essa arquitetura inclui um *zero crossing detector* (ZCD), seguido por um gerador de pulso (PG), um contador e um filtro. Seu diagrama é demonstrado na Figura 3.9 [19] [20].

A próxima topologia é baseada em PLL, que opera em função das mudanças na frequência de RF, resultando em alterações na entrada do detector de fase. Após a filtragem, essas mudanças permitem recuperar a informação. Seu circuito inclui um LNA (amplificador de baixo ruído), seguido por um misturador (ou *mixer*), conectado a este misturador está um PLL (*phase-locked loop*). O sinal resultante da operação entre o misturador e o PLL é então direcionado para um LPF (*low-pass filter*), um filtro passa-baixas. Essa topologia é demonstrada na Figura 3.10 [19].

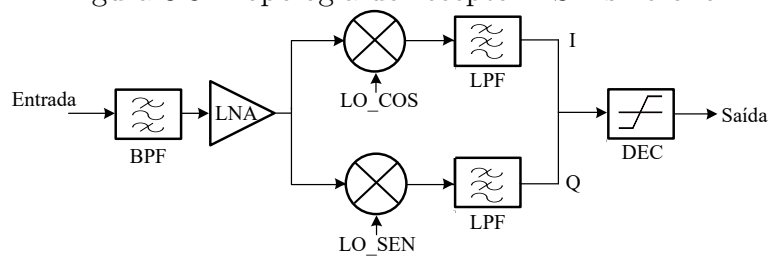
A última topologia básica é a não síncrona ou assíncrona, na qual o sinal RF passa por dois ramos paralelos compostos por filtros passa-faixa sintonizados para as frequências do sinal FSK e detectores de envoltória ED (*Envelope Detector*). As saídas dos ramos são analisadas por um circuito de decisão para concluir a demodulação. A Figura 3.11 demonstra o diagrama esquemático correspondente [19] [27].

As próximas topologias a serem descritas são alternativas de baixo consumo em relação às técnicas mencionadas anteriormente.

A abordagem proposta por [19] é baseada na conversão direta, composta por um LNA seguido por um misturador, filtro passa-baixas e um circuito de decisão. Essa abordagem permite distinguir entre duas frequências próximas à frequência do oscilador local, possibilitando a detecção síncrona sem a necessidade de um PLL. A Figura 3.12 apresenta o circuito. Outra técnica, apresentada por [27], utiliza a conversão em frequência-amplitude por meio do mecanismo de *injection locking*: o sinal FSK recebido é amplificado por um LNA, injetado em um IL-DCO (oscilador com *injection locking* controlado digitalmente), e a envoltória do IL-DCO é obtida e avaliada para realizar a demodulação. A Figura 3.13 ilustra essa técnica [19] [27].

A próxima técnica a ser abordada também utiliza o mecanismo de *injection locking*, mas para a conversão frequência-fase [18]. Consiste em aproveitar um efeito do travamento por injeção que relaciona cada frequência do sinal injetado com um desvio de fase específico entre o sinal injetado (frequência de entrada) e o sinal resultante da operação no oscilador. O circuito é composto por um VCO (*Voltage-Controlled Oscillator*) em série com um P.D (*Phase Detector*), detetor de fase, para comparar os sinais de saída do VCO e de um sinal cópia, além de um *buffer* de saída. O esquema está representado na Figura 3.14[18].

Figura 3.8: Topologia do receptor FSK síncrono.



Fonte: Imagem produzida pelo autor.

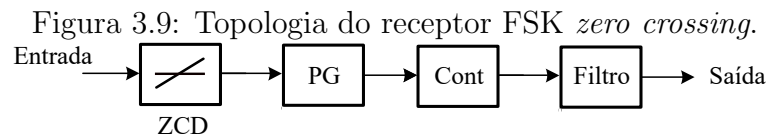
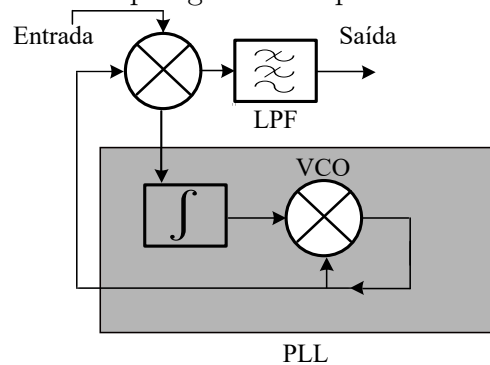


Figura 3.9: Topologia do receptor FSK *zero crossing*.

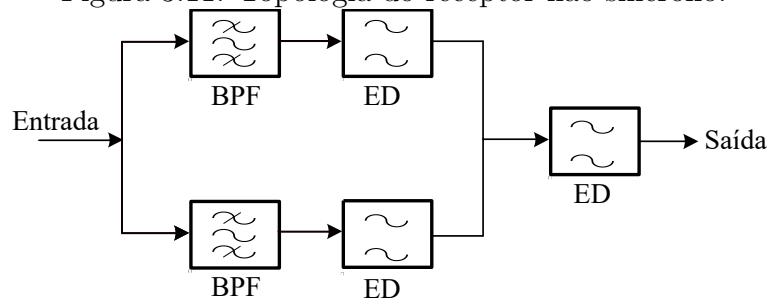
Fonte: Imagem produzida pelo autor.

Figura 3.10: Topologia do receptor FSK com PLL.



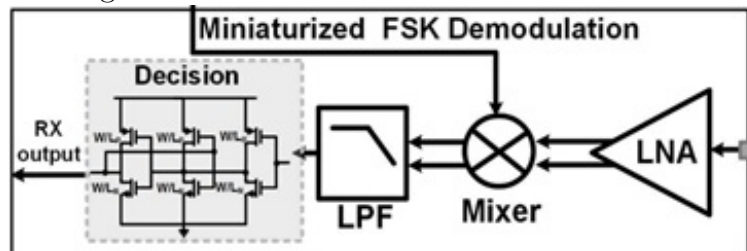
Fonte: Imagem produzida pelo autor.

Figura 3.11: Topologia do receptor não síncrono.



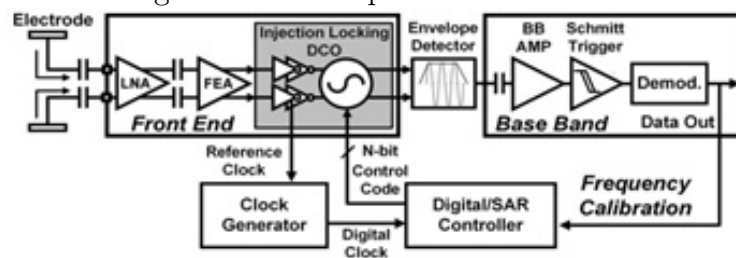
Fonte: Imagem produzida pelo autor.

Figura 3.12: Demodulador FSK miniaturizado.



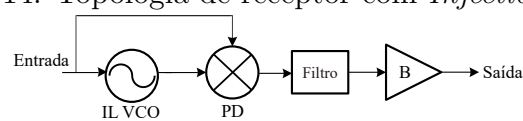
Fonte: Diagrama extraído de [19].

Figura 3.13: Receptor FSK com DCO.



Fonte: Diagrama extraído de [27].

Figura 3.14: Topologia de receptor com *Injection Locking*.



Fonte: Diagrama extraído de [18].

A maioria das topologias apresentadas requer o uso dos filtros, o que implica em dificuldade adicional para circuitos integrados nas frequências do HBC devido à necessidade de limitação na reconfiguração da faixa de frequência ou ao aumento da complexidade do circuito para soluções baseadas em filtros OTA-C ou a capacitores chaveados. Além disso, os projetos que empregam o detector de envoltória (ED) demonstram maior sensibilidade ao ruído, uma vez que são circuitos responsáveis pela conversão de frequência para amplitude.

Outro fator importante para a definição da arquitetura do receptor é a taxa de dados desejada para a aplicação e seu impacto na banda necessária. Como prevê o teorema de Shannon-Hartley 3.10, a capacidade do canal e, portanto, a taxa de dados, aumentam com a banda, exigindo um receptor capaz de operar com uma banda larga para taxas de dados elevadas. Neste sentido, os receptores que não utilizam técnicas de seletividade para demodulação da frequência são os mais adequados e, desta forma, o receptor baseado na conversão frequência-fase pelo travamento por injeção da Figura 4.1 apresenta-se como uma boa solução, especialmente ao utilizar um oscilador com fator de qualidade baixo, que fornece uma faixa de travamento larga, e um amplificador de entrada banda larga. Desta forma, esta será a arquitetura utilizada para o receptor a ser projetado.

$$C = \Delta f \log_2(1 + \text{SNR}) \quad (3.10)$$

Onde:

- C é a capacidade máxima do canal em bits por segundo (bps).
- Δf é a largura de banda do canal em hertz (Hz).
- SNR é a relação sinal-ruído do canal.

3.4 Injection Locking

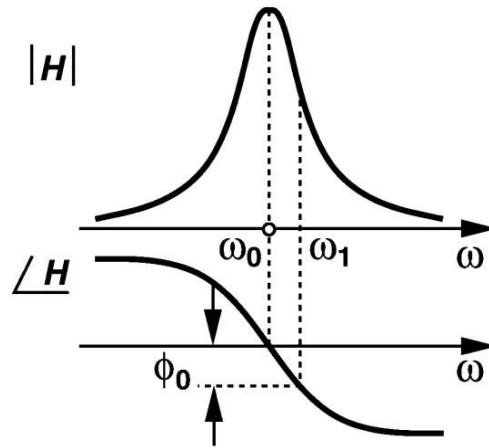
O *injection locking*, ou travamento por injeção, foi descoberto por volta do século XVII por Christiaan Huygens, que observou a mudança na frequência de oscilação de um pêndulo quando sujeito ao efeito de uma oscilação externa. O principal objetivo dessa técnica é sincronizar a frequência de um oscilador com uma frequência externa injetada. Em outras palavras, um oscilador operando em uma frequência natural ω_0 passa a operar sob a influência de um sinal injetado com frequência ω_1 , tornando sua frequência de operação igual à do sinal injetado ω_1 , desde que o sinal esteja dentro das limitações de amplitude e frequência inerentes a cada oscilador.

Para entender como esse efeito ocorre, é necessário compreender que um oscilador possui um circuito ressonante, geralmente um circuito LC (indutivo-capacitivo), com $\omega_0 = \sqrt{LC}$, chamada de frequência natural do oscilador. Quando um novo sinal é inserido no sistema, o circuito deixa de operar em ω_0 e passa a atuar em uma nova frequência, criando um desvio ϕ_0 no ciclo de acordo com o distúrbio. Este efeito força o oscilador a operar em uma nova frequência ω_1 de acordo com o desvio ϕ_0 , como demonstrado na Figura 3.15. O circuito ressonante passa a influenciar na frequência, opondo-se ao desvio ϕ_0 e tentando cancelá-lo [28].

Ao injetar uma corrente I_{inj} no dreno de um oscilador, conforme demonstrado na Figura 3.16, considerando que a amplitude e a frequência são compatíveis, o oscilador passa a operar na frequência presente em I_{inj} , ω_1 , deixando sua frequência natural de oscilação. Então, o *injection locking* ocorre, e a diferença entre as frequências de injeção e do oscilador deve produzir um desvio de fase. Assim, o circuito ressonante passa a interferir na fase, tentando compensar o desvio a cada ciclo. Isso força V_{out} a sofrer mudanças na fase para acompanhar a fase da corrente total resultante. A tensão V_{out} e a corrente I_T precisam conter fases diferentes, pois I_{osc} permanece em fase com V_{out} , tornando-se defasado em relação a I_T . Assim, a fase de I_{inj} forma um ângulo com a fase I_{osc} .

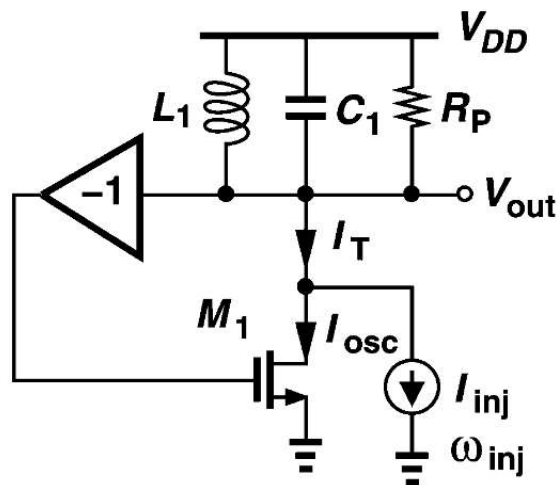
Para determinar a faixa de travamento (distância entre ω_0 e ω_1 onde o travamento pode ocorrer), analisa-se o diagrama fasorial das correntes para o circuito da Figura 3.16, apresentado na Figura 3.17(a). À medida que a distância entre ω_0 e ω_1 aumenta, a interferência do circuito ressonante nas fases cresce, resultando em um maior ângulo ϕ_0 entre I_{osc} e I_T . Para compensar, I_{osc} é forçada a seguir em sentido anti-horário, como mostrado na Figura 3.17 (b), levando às equações 3.11 [28].

Figura 3.15: Módulo e fase do circuito sob *injection locking*.



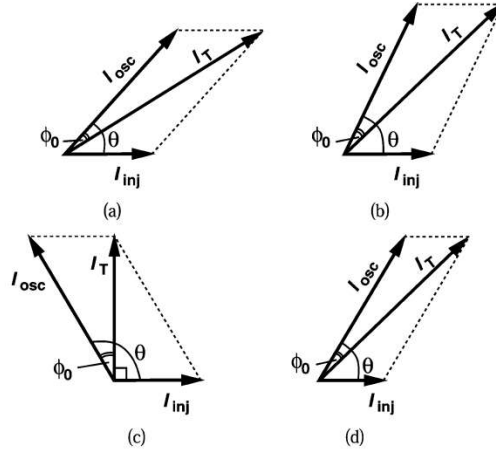
Fonte: Imagem extraída de [28].

Figura 3.16: Exemplo de circuito oscilador.



Fonte: Imagem extraída de [28].

Figura 3.17: Diagramas de fasor das correntes em um *injection locking oscillator* para diferentes valores de $|\omega_0 - \omega_{inj}|$ e amplitude de I_{inj} .



Fonte: Imagem extraída de [28].

$$\sin(\phi_0) = \frac{I_{inj}}{I_T} \sin(\theta) \quad (3.11)$$

Em que:

$$I_T = I_{osc}^{ej\theta} + I_{inj} \quad (3.12)$$

$$\sin(\phi_{0,max}) = \frac{I_{inj}}{I_T} \quad (3.13)$$

A Equação 3.11 atinge seu máximo, $\phi_{0,max}$, conforme definido pela Equação 3.13, fazendo com que quando ocorrem os limites de injeção e o ângulo formado entre as fases de I_{inj} e ($V_{out} = I_{osc}$) atinge $90^\circ + \phi_{0,max}$, como ilustrado na Figura 3.17(c).

Com base nisso, podemos calcular a faixa de travamento unilateral usando a Equação 3.15, sendo ω_L o valor limite de frequência, obtida a partir do desvio de fase α próximo da ressonância. A tangente de ϕ_0 é dada pela Equação 3.16, e I_T pela Equação 3.17[28].

$$\tan(\alpha) \cong \frac{2Q}{\omega_0} (\omega_0 - \omega_{inj}) \quad (3.14)$$

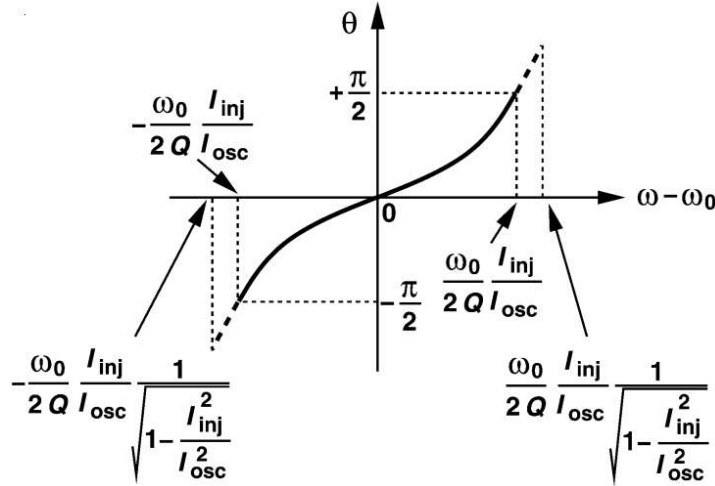
$$\omega_L = \omega_0 - \omega_{inj} \cong \frac{\omega_0}{2Q} \cdot \frac{I_{inj}}{I_{osc}} \cdot \frac{1}{\sqrt{1 - \frac{I_{inj}^2}{I_{osc}^2}}} \quad (3.15)$$

$$\tan(\phi_0) = \frac{I_{inj}}{I_T} \quad (3.16)$$

$$I_T = \sqrt{I_{osc}^2 - I_{inj}^2} \quad (3.17)$$

Em situações em que a injeção é fraca, com I_{inj} muito menor que I_{osc} , os limites de injeção ocorrem próximos aos 90° de defasagem entre I_{inj} e I_{osc} , fornecendo a Equação 3.18, conforme ilustrado na Figura 3.18.

Figura 3.18: Transição de fases em um oscilador injetado.



Fonte: Imagem extraída de [28].

$$\omega_L \cong \frac{\omega_0}{2Q} \cdot \frac{I_{inj}}{I_{osc}} \quad (3.18)$$

Além disso, nesse contexto das Equações 3.14 e 3.19, temos a Equação 3.20, que expressa a defasagem entre o sinal injetado e a saída. Essa relação pode ser explicitamente reescrita, como mostrado na Equação 3.21.

$$\sin(\phi_0) \cong \frac{I_{inj}}{I_{osc}} \sin(\theta) \quad (3.19)$$

$$\sin(\theta) \cong \frac{2Q}{\omega_o} \cdot \frac{I_{inj}}{I_{osc}} (\omega_o - \omega_{inj}) \quad (3.20)$$

Quando a análise considera tensões para os sinais de injeção e oscilação, a substituição de I_{inj} e I_{osc} por V_{inj} e V_{osc} , respectivamente, é válida[28].

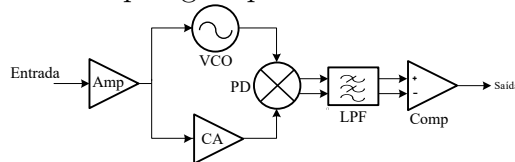
$$\theta = \phi_{inj} - \phi_{osc} \cong \sin^{-1}\left(\frac{\omega_o - \omega_{inj}}{\omega_L}\right) \quad (3.21)$$

Capítulo 4

Projeto do receptor

O circuito é baseado nas arquiteturas apresentados por [18] e [17] para receptores BFSK e será projetado para operar na faixa entre 40 - 60 MHz, que é aproximadamente o centro da faixa do HBC (10 - 100 MHz). A faixa escolhida permite minimizar a interferência de sinais de rádio FM acima de 60 MHz e evitar a maior atenuação do canal abaixo de 40 MHz. Além disso, esta largura de banda potencializa a operação com taxas de dados da ordem de dezenas de Mbps. O diagrama de blocos completo do circuito é apresentado na Figura 4.1. O circuito compreende um amplificador de entrada para elevar a amplitude do sinal de entrada, um VCO, que é um oscilador controlável por tensão *injection locking*, um circuito auxiliar, em paralelo com o VCO (formado por inversores em sequência para ajustar a forma de onda do sinal de entrada), um detector de fase do tipo PFD para comparar o atraso causado pelo *injection locking* entre os sinais da saída do VCO e os do circuito auxiliar, seguido por filtros passa-baixas e um comparador de três estágios com (*latch*) como circuito de decisão capaz de discriminar a mudança na frequência do sinal FSK de entrada para realizar a demodulação FSK.

Figura 4.1: Topologia apresentada neste trabalho.



Fonte: Imagem produzida pelo autor.

4.1 Amplificador de entrada

O amplificador é um circuito com a função principal de elevar a amplitude do sinal aplicado em sua entrada para a saída, exigindo, assim, um alto nível de impedância na entrada para amplificação de tensão. Os parâmetros de desempenho principais para o desenvolvimento são o ganho, o fator de ruído e a impedância de entrada.

Um dos amplificadores CMOS mais simples é o amplificador com fonte comum com carga resistiva, apresentado na Figura 4.2(a). Com um MOSFET tipo N, a tensão V_i controla a corrente I_D , e a resistência R ajuda a converter as variações de corrente em variações de tensão. A Equação 4.1 indica seu ganho de tensão, onde g_{mn} é a transcondutância do transistor canal n. Um amplificador com fonte comum com carga e um transistor tipo P em conexão diodo no lugar do resistor, apresentado na Figura 4.2(b), consegue um maior ganho dependendo das dimensões resistor, porém, consome o mesmo que o amplificador com fonte comum com carga resistiva. O ganho é dado pela Equação 4.2, em que g_{mp} e g_{mn} são as transcondutâncias dos transistores canal p e n respectivamente.

O amplificador inversor CMOS, Figura 4.2(c), utiliza V_i para controlar diretamente os dois terminais *Gate* dos transistores PMOS e NMOS. O ganho de tensão é dado pela Equação 4.3, em que g_{mp} e g_{mn} são as transcondutâncias, e as resistências internas de saída r_{op} e r_{on} dos transistores tipo P e N, respectivamente. O próximo amplificador é uma variação do amplificador CMOS, apresentado na Figura 4.2(d), contendo uma carga resistiva de realimentação R . A Equação 4.4 demonstra o comportamento do ganho considerando análise de pequenos sinais, sendo g_{mp} a transcondutância do transistor tipo P e g_{mn} a transcondutância do transistor tipo N, assim como na configuração com transistor tipo P [29] [30].

As capacitâncias intrínsecas de entrada dos transistores são representadas como C_{gsn} e C_{gsp} . RL é a resistência da carga acoplada ao amplificador.

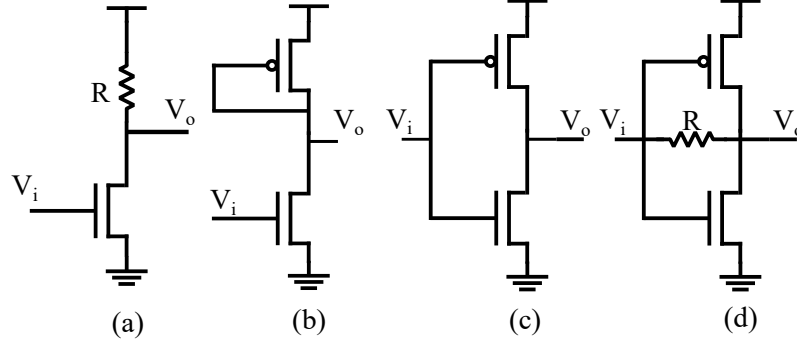
$$Av = -g_{mn} \cdot R \quad (4.1)$$

$$Av = -\frac{g_{mn}}{g_{mp}} \quad (4.2)$$

$$Av \approx -(g_{mn} + g_{mp}) \cdot (r_{on} / r_{op}) \quad (4.3)$$

$$Av = \frac{V_{out}}{V_{in}} = \frac{1 - (r_{op} / r_{on})R}{1 + \frac{R}{(r_{op} / r_{on})}} \approx -(g_{mn} + g_{mp}) \cdot (R) \quad (4.4)$$

Figura 4.2: Exemplo de circuitos amplificadores com MOSFET.



Fonte: Imagem produzida pelo autor.

O circuito adotado possui realimentação resistiva e contém dois estágios (Figura 4.3), permitindo elevar o ganho com um consumo menor quando comparado com topologias não complementares, devido ao reuso de corrente, além de ampliar a banda do circuito [30]. O primeiro estágio apresenta ganho fixo, e o segundo possui ganho controlável através do ajuste da tensão de controle do transistor M_f na malha de realimentação. A importância em adotar topologia com ganho controlável para o amplificador de entrada é ajustar o projeto as necessidades.

Como o circuito possui dois estágios, as transcondutâncias dos quatro MOSFETs, suas capacitâncias de entrada, C_{gsn} e C_{gsp} , e as resistências presentes no primeiro estágio (R), no segundo estágio (R_{E2}) e a resistência da carga (RL) têm interferência direta nas expressões que demonstram o ganho de tensão do amplificador de entrada. O ganho do amplificador é a multiplicação dos ganhos dos dois estágios, como demonstrado pela Equação 4.5, que pode ser reorganizada Conforme indicado na Equação 4.6. A Equação 4.7, que indica a resistência R_{Mf} no transistor M_f , contido em R_{E2} , representando a resistência do segundo estágio, está indicada na Equação 4.8. A impedância de entrada do amplificador é dada por 4.9 [30] [29].

$$A_v = \frac{V_{out}}{V_{in}} = \frac{1 - (g_{mn} + g_{mp})R}{1 + R(S(C_{gsn} + C_{gsp}))\frac{1}{r_{op}} + \frac{1}{r_{on}}} \cdot \frac{1 - (g_{mn} + g_{mp})R_{Mf}}{1 + \frac{R_{Mf}}{r_{op} // r_{on} // RL}} \quad (4.5)$$

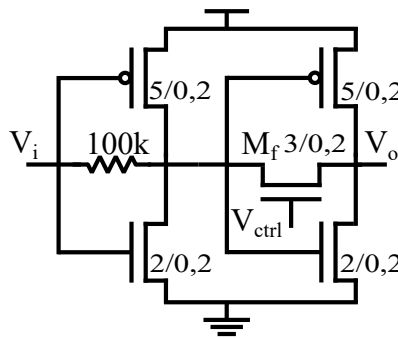
$$A_v = \frac{V_{out}}{V_{in}} = \frac{(g_{mn}^2 + 2g_{mn} \cdot g_{mp} + g_{mp}^2)R \cdot R_{Mf}}{(1 + \frac{R_{Mf}}{R_L})} \quad (4.6)$$

$$R_{Mf} = \frac{1}{\mu_p C'_{ox} \frac{W}{L} (V_{GS} - V_{TH})} \quad (4.7)$$

$$R_{E2} = \frac{RL + R_{Mf}}{1 + (g_{mn} + g_{mp})RL} \quad (4.8)$$

$$Z_{in} = \frac{R + R_{E2}}{1 + (g_{mn} + g_{mp})R_{E2} + (S(C_{gsn} + C_{gsp}))(R + R_{E2})} \quad (4.9)$$

Figura 4.3: Amplificador de entrada (valores de dimensões W e L dos transistores em micrometro).

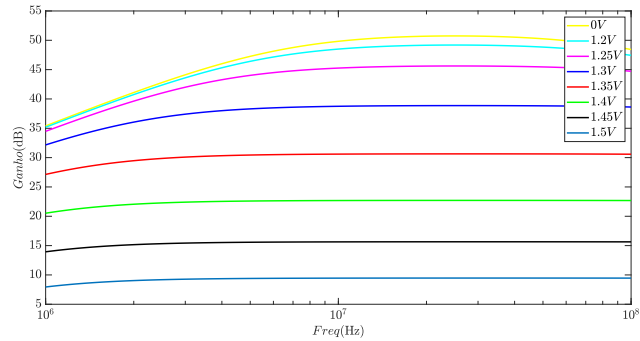


Fonte: Imagem produzida pelo autor.

4.1.1 Simulações pós-leiaute do Amplificador de entrada

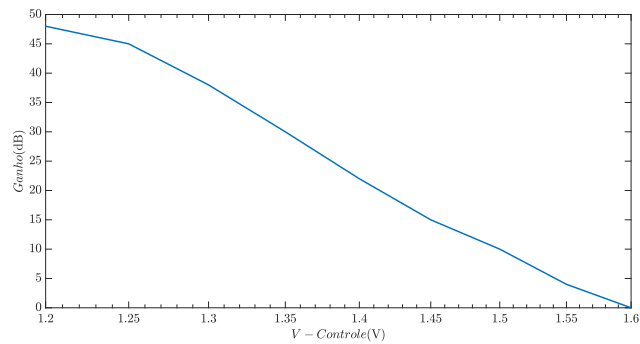
O amplificador de entrada apresentado na figura 4.3 foi projetado para fornecer ganho controlável para compensar a atenuação no canal, produzir a amplitude necessária para faixa de travamento do sinal BFSK quando $V_{osc} \approx 1,8V$ e para fornecer uma resistência de entrada elevada dentro da banda do HBC, mais especificamente entre 40 - 60 MHz. A Figura 4.4 apresenta o ganho do amplificador de entrada e a Figura 4.5 indica o ganho em função da tensão de controle, ambas obtidas de simulações pós-leiaute, em que a faixa de tensão de controle é de 0 a 1,5 V, fornecendo $A_V \leq 10 - 50$ dB dentro da faixa de frequência entre 40 e 60 MHz. A impedância de entrada do amplificador é apresentada pelo gráfico da Figura 4.6 para tensão de controle ajustada no máximo da condução, e a Figura 4.7 indica o comportamento da impedância de entrada de acordo com a tensão de controle. A Tabela 4.1 indica os valores da impedância de entrada para cada tensão de controle presente, nas frequências de entrada do sinal BFSK. Esta informação é importante pois o alcance de operação do amplificador de entrada é bastante abrangente nos quesitos frequência e impedância de entrada.

Figura 4.4: Curvas da Varredura do ganho do amplificador.



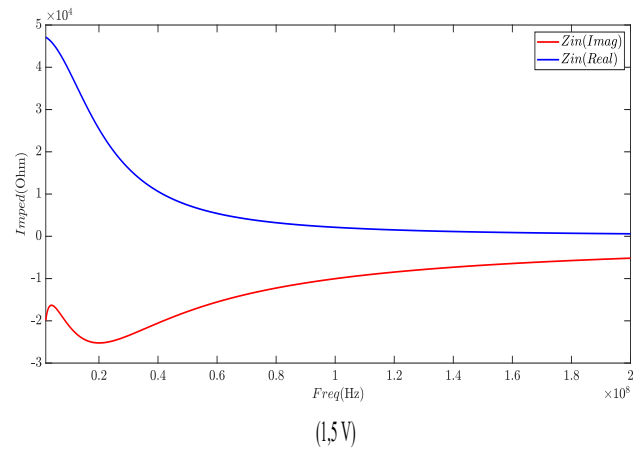
Fonte: Imagem produzida pelo autor.

Figura 4.5: Ganho em função tensão de controle(V-Controle) do amplificador.



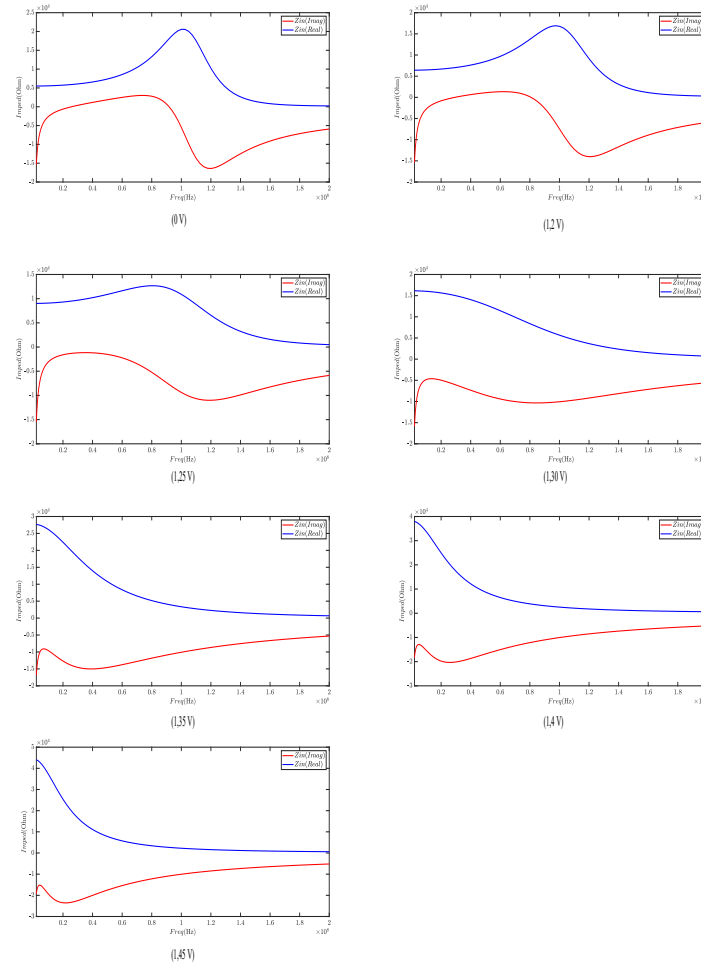
Fonte: Imagem produzida pelo autor.

Figura 4.6: Impedância de entrada com tensão de controle de 1,5 V.



Fonte: Imagem produzida pelo autor.

Figura 4.7: Impedância de entrada para tensões de controle de 0 a 1,45 V.



Fonte: Imagem produzida pelo autor.

Tabela 4.1: Impedância de entrada por tensão de controle em Volts.

Tensão/Frequência	40MHz	60MHz
0 V	6,583k+j1,115k Ω	8,580+j2,494k Ω
1,2 V	7,623k+j0,646k Ω	9,698k+j1,327k Ω
1,25 V	10,209k-j1,193k Ω	11,640k-j2,230k Ω
1,3 V	14,046k-j7,343k Ω	11,428k-j9,041k Ω
1,35 V	13,978k-j15,005k Ω	8,346k-j13,760k Ω
1,40 V	12,177k-j18,686k Ω	6,488k-j15,033k Ω
1,45 V	11,117k-j20,057k Ω	5,721k-j15,411k Ω
1,5 V	10,624k-j20,533k Ω	5,400k-j15,458k Ω

Fonte: Tabela produzida pelo autor.

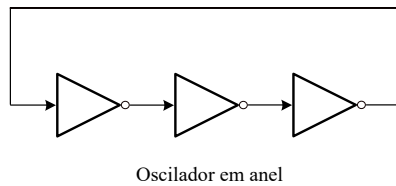
4.2 VCO (Voltage Controlled Oscillator)

O oscilador controlado por tensão pode ser construído a partir de um oscilador em anel (*Ring Oscillator*), que é um circuito formado geralmente por inversores lógicos CMOS dispostos em sequência e em um laço realimentado. Cada inversor é composto por um transistor PMOS e um NMOS conectados entre si, como demonstrado nas Figuras 4.8 e 4.9. O oscilador em anel possui uma frequência de oscilação natural relacionada com as duas transições de sinal para cada inversor em cada período do sinal de saída.

A equação da frequência natural ou livre do oscilador é dada pela Equação 4.10, onde N é o número de estágios inversores que compõem o circuito e τ_d é o atraso da propagação de cada inversor [25][26]. Para operar como oscilador, o circuito deve ter N ímpar, e o valor mínimo é 3. Neste projeto, o valor mínimo foi escolhido para reduzir o consumo sem perder os efeitos de um oscilador em anel.

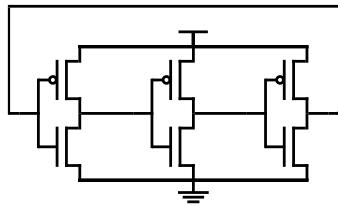
$$f_{osc} = \frac{1}{T_{osc}} = \frac{1}{2N\tau_d} \quad (4.10)$$

Figura 4.8: Oscilador em anel com inversores.



Fonte: Imagem produzida pelo autor.

Figura 4.9: Topologia do oscilador em anel com inversores CMOS.



Fonte: Imagem produzida pelo autor.

As três principais vantagens desse circuito oscilador são a baixa complexidade, a redução do consumo e a ampla faixa de ajuste de frequência. Além disso, o circuito apresenta uma robustez significativa contra interferências, o que o torna preferencial para a modulação e demodulação FSK. Osciladores LC, como o utilizado na descrição do fenômeno de injection locking, não são adequados para a faixa de

frequência do HBC pois demandam componentes passivos externos ao chip e impõem limitações de banda e de ajuste de frequência, reduzindo a taxa de dados alcançável e a possibilidade de reconfiguração da frequência dentro da banda do HBC.

O VCO (*Voltage-Controlled Oscillator*) é baseado em um oscilador em anel e incorpora um circuito adicional para o controle da corrente de polarização dos transistores e da frequência natural, conforme esquematizado na Figura 4.10, com as dimensões W e L expressas em μm . A topologia adotada é conhecida como oscilador controlado por tensão *current-starved*. Suas vantagens incluem linearidade, controle eficiente do consumo de energia e facilidade de manipulação da corrente nos transistores do núcleo do oscilador, e, conseqüentemente, da frequência natural do VCO, por meio da tensão na porta do transistor N1, V_{inVCO} . O circuito também incorpora um ramo de linearização para aprimorar a relação entre tensão e frequência.

A frequência de operação do VCO é determinada pela Equação 4.11, derivada do atraso de propagação dos estágios. Essa frequência é influenciada pela corrente que percorre os transistores do núcleo do VCO (I_D), pela tensão de alimentação do circuito (V_{DD}), pelo número de estágios presentes no VCO e pela capacitância entre cada estágio (C_{tot}). Essas capacitâncias entre os estágios do VCO são inerentes ao comportamento dos MOSFETs e são calculadas por meio da Equação 4.12. Aqui, C_{in} (Equação 4.13) representa a capacitância de entrada de um inversor CMOS, e C_{out} (Equação 4.14) é a capacitância de saída de um inversor CMOS. W_p e L_p indicam, respectivamente, a largura e o comprimento do PMOS, enquanto W_n e L_n representam a largura e o comprimento do NMOS [31][26][17].

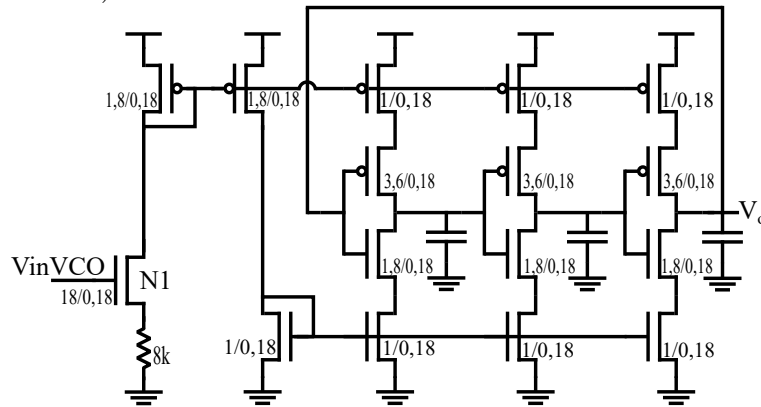
$$f_{osc} = \frac{I_D}{N \cdot C_{tot} \cdot V_{DD}} \quad (4.11)$$

$$C_{tot} = C_{out} + C_{in} \quad (4.12)$$

$$C_{in} = \frac{3}{2} C'_{ox} (W_p L_p + W_n L_n) \quad (4.13)$$

$$C_{out} = C'_{ox} (W_p L_p + W_n L_n) \quad (4.14)$$

Figura 4.10: Topologia do circuito interno do VCO(dimensões W e L dos transistores estão em micrometro).



Fonte: Imagem produzida pelo autor.

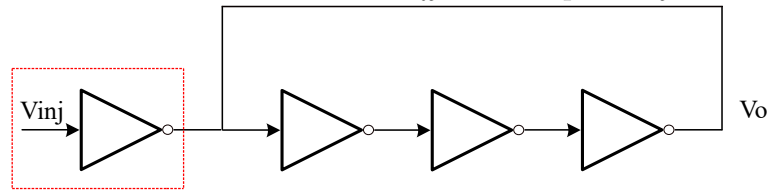
As dimensões utilizadas nos inversores que compõem o núcleo de cada estágio do VCO estão presentes na Tabela 4.2. Os transistores responsáveis pela corrente que passa pelo VCO e que atuam como espelho de corrente para os ramos têm suas dimensões apresentadas na Tabela 4.3. O VCO foi desenvolvido para alcançar uma frequência de oscilação natural de 50 MHz com 0,9 V DC na entrada V_{inVCO} , fornecendo uma corrente I_D de $38 \mu A$, que foi dimensionada para um compromisso entre consumo e excursão do sinal de saída que aponta valores de tensão entre 0 e 1,8 V. Além disso, capacitores de 133 fF foram adicionados entre os estágios inversores para ajudar no ajuste da frequência. As dimensões de todos os transistores do VCO externos ao núcleo do oscilador são menores do que dos inversores do anel já que eles vão operar como espelho e aumentar muito as dimensões deles causaria aumento nas capacitâncias parasitas intrínsecas e da área do leiaute e dificultaria o controle da corrente e da frequência. No circuito final, a ser conectado entre o amplificador e o PFD no receptor, um *buffer* de entrada foi adicionado para aplicação do sinal de *injection locking* no oscilador de acordo com a Figura 4.11. Este *buffer* tem dimensões para W menores que as dimensões dos transistores dos inversores no VCO para reduzir *jitter* de alta frequência e garantir um nível de injeção, razão V_{inj}/V_{osc} , adequado para o travamento no regime de injeção fraca.[32]

Adicionalmente, dois *buffers* de saída, realizados por inversores CMOS, para adequar o sinal do VCO para a comparação no detector de fase.

Simulações pós-leiaute do VCO

A avaliação do desempenho do VCO foi iniciada pela verificação da relação V_{inVCO} x frequência, que é apresentada na Figura 4.12, foram testadas tensões

Figura 4.11: Oscilador em anel com *buffer* extra para *injection locking*.



Fonte: Imagem produzida pelo autor.

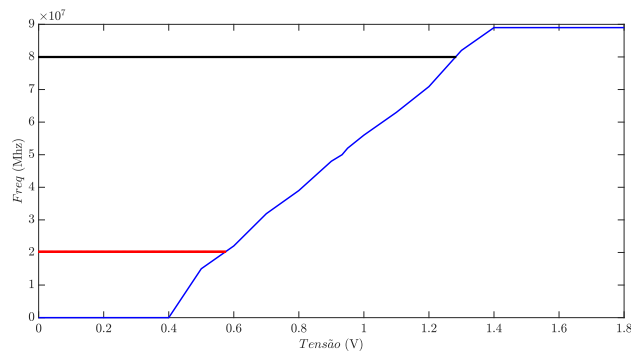
Tabela 4.2: Razões de aspecto do oscilador em anel.

	PMOS	NMOS
W	3,6 μm	1,8 μm
L	180 nm	180 nm
W/L	20	10

Fonte: Tabela produzida pelo autor.

V_{inVCO} entre 0 a 1,8 V. O VCO apresenta um ganho $K_{VCO} = 85,7$ MHz/V com um ajuste aproximadamente linear entre 20 - 80 MHz. A Figura 4.13 apresenta, a saída do VCO antes e após os *buffers* para $V_{inVCO} = 0,9$ V. Todos os resultados correspondem a simulações pós-leiaute com inclusão de efeitos parasitas do tipo RC.

Figura 4.12: Curva da relação V_{inVco} x F_{osc} .



Fonte: Imagem produzida pelo autor.

Com o propósito de avaliar a eficácia da técnica de *injection locking*, foram conduzidos testes na faixa de frequência de 40 MHz a 60 MHz que são as frequências escolhidas para o sinal BFSK.

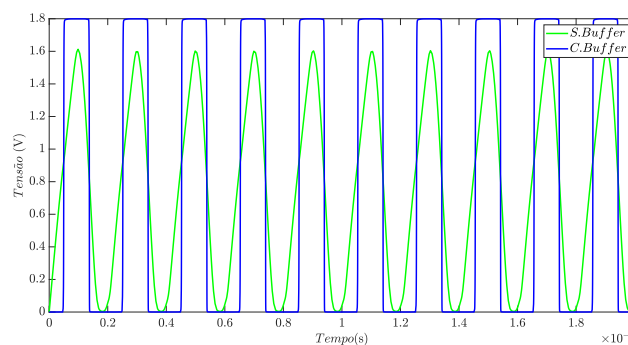
As simulações foram executadas com tensões mínimas começando 1 mV, gradualmente injetadas em um inversor que precede o circuito do VCO. Essa injeção

Tabela 4.3: Razões de aspecto dos transistores externos.

	PMOS	NMOS
W	1 μm	1 μm
L	180 nm	180 nm
W/L	5,5	5,5

Fonte: Tabela produzida pelo autor.

Figura 4.13: Curvas de saída em oscilação natural utilizando tensão de controle em 0,9 V no VCO.

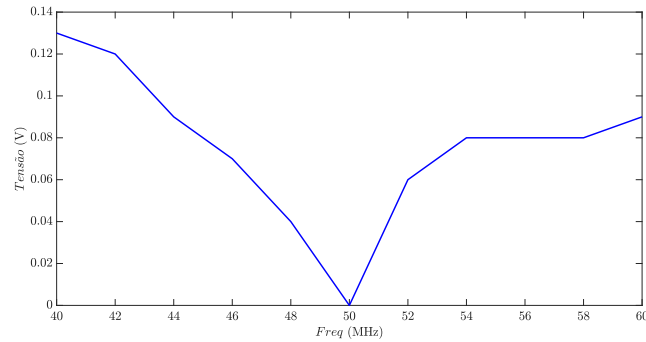


Fonte: Imagem produzida pelo autor.

prosseguiu até alcançar a tensão de injeção V_{inj} , que representa a mínima tensão necessária para que o VCO opere na frequência do sinal injetado. O teste foi realizado para as frequências situadas dentro da banda selecionada para operação, resultando em um gráfico com formato de V, conforme ilustrado na Figura 4.14. Nota-se que a tensão V_{inj} é menor para as frequências mais próximas da frequência natural do circuito e maior à medida que essas frequências se afastam.

Realizou-se uma simulação com V_{inj} de 130 mV e *DC offset* de 0,9 V para avaliar o atraso ocasionado pelo *injection locking* entre o sinal de saída do sinal injetado e o VCO. O atraso, medido a 40 MHz, foi de aproximadamente 2,4027 ns, ou $\approx 34,58^\circ$, indicando que a saída do VCO estava adiantada em relação à saída do sinal copiado. O mesmo procedimento foi conduzido para a frequência de 60 MHz, momento em que a saída do sinal copiado torna-se adiantada em relação à saída do sinal do VCO, com a medição do atraso resultando em 1,5838 ns, ou $\approx 34,209^\circ$. Os valores foram registrados em diferentes pontos ao longo dos 20 μs de simulação, apresentando variações próximas a 0,2 ns para 40 MHz e 0,03 ns para 60 MHz, levando em conta o método de medição manual do Cadence Virtuoso. As curvas resultantes dos testes estão nas Figuras 4.15 (40 MHz) e 4.16 (60 MHz). Ambos

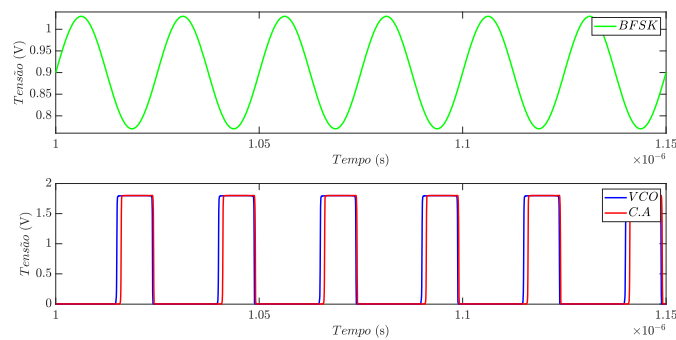
Figura 4.14: Curva de comportamento do intertravamento V_{inj} por frequência no VCO.



Fonte: Imagem produzida pelo autor.

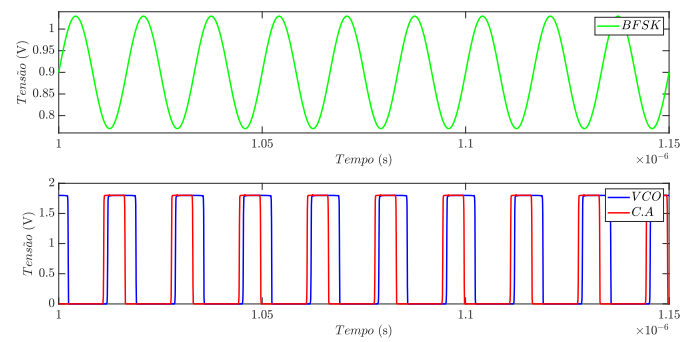
os gráficos exibem os seguintes pontos de aferição: a saída correspondente ao VCO pós-*buffers*, o sinal de entrada e sua cópia na saída do circuito auxiliar.

Figura 4.15: Curvas do comportamento do VCO 40 MHz.



Fonte: Imagem produzida pelo autor.

Figura 4.16: Curvas do comportamento do VCO 60 MHz.



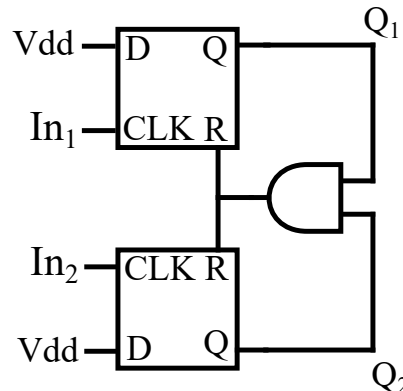
Fonte: Imagem produzida pelo autor.

4.3 Detector de fase

O circuito detetor de fase (PD), conhecido como *Phase Detector*, desempenha a função de comparar a defasagem entre sinais. Neste projeto, em conjunto com o ILO (*Injection Locking Oscillator*), ele contribui para a conversão de frequência para fase. O circuito implementado utiliza a topologia *tri-state*, composta por dois *flip-flops* do tipo D, operando em lógica TSPC (*True Single Phase Clock*), os quais estão interconectados por uma porta lógica *AND* com lógica estática.

As entradas do PD, denominadas In_1 e In_2 , estão diretamente conectadas às portas de *clock* dos *flip-flops* tipo D. O *reset* de cada *flip-flop* é acionado pela saída da porta *AND*. O estágio completo é ilustrado na Figura 4.17, sendo essa configuração denominada PFD (*Phase-Frequency Detector*), capaz também de operar como detetor de frequências. O circuito compara a borda de subida de suas entradas para mensurar a diferença de fase entre elas. No receptor desenvolvido, o sinal proveniente do VCO é introduzido na entrada In_1 , enquanto o sinal copiado do circuito auxiliar é direcionado para a entrada In_2 .

Figura 4.17: Circuito Detetor de fase completo.



Fonte: Imagem produzida pelo autor.

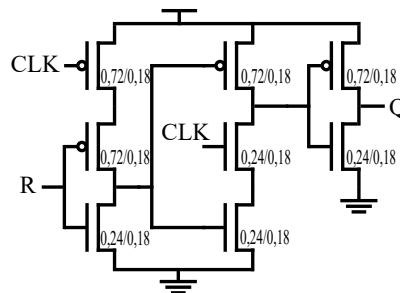
Nesta topologia, as larguras dos pulsos de entrada não interferem na resposta do circuito. Entretanto, é importante destacar que o circuito possui baixa capacidade de rejeição a ruídos. Uma leitura incorreta na borda de subida das entradas pode impactar na saída, tornando necessário o uso de sinais de entrada com transições rápidas para mitigar esse efeito. Além disso, as saídas podem permanecer em nível alto por um curto período de tempo devido ao atraso intrínseco do circuito, ocasionado pela transição nos modos de operação dos seus MOSFETs[26] [17].

A operação do PFD pode ser descrita no contexto do circuito receptor com *injection locking*. Cada frequência de sinal FSK recebida resulta em uma defasagem entre o sinal do VCO sob *injection locking* e a entrada FSK, provocando a mudança

de Q1 ou Q2 conforme a defasagem. O *reset* é acionado assim que In1 e In2 atingem o nível alto.

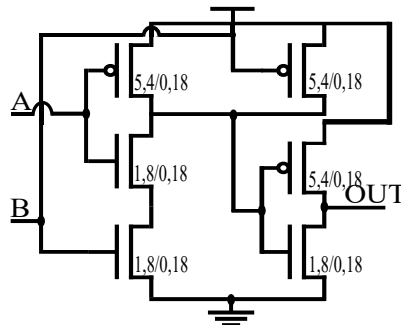
As Figuras 4.18 e 4.19 contém os esquemas eletrônicos e o dimensionamento dos transistores em cada *flip-flop* tipo D e da porta *AND*, respectivamente. As razões de aspecto do circuito PDF são maiores nos PMOS em W para compensar a mobilidade menor em relação aos NMOSs. Estas dimensões foram escolhidas para melhorar a velocidade das respostas do circuito e o consumo.

Figura 4.18: Circuito *flip-flop* tipo D(dimensões W e L dos transistores em micrometro).



Fonte: Imagem produzida pelo autor.

Figura 4.19: Circuito porta lógica *AND* CMOS(dimensões W e L dos transistores em micrometro).



Fonte: Imagem produzida pelo autor.

Simulações pós-leiaute do Detector de fase

O primeiro teste do PD busca verificar sua funcionalidade como referência a Figura 4.20, que apresenta uma simulação do PD para In2 avançado em relação a In1, verifica-se que Q2 sobe em pulsos retangulares cujas larguras representam o atraso entre as entradas In2 e In1, e Q1 apresenta pulsos estreitos em todas as subidas de nível de In1. Quando In1 torna-se avançado em relação a In2, demonstrado

Tabela 4.4: Dimensões dos transistores do *flip-flop* tipo D.

	PMOS	NMOS
W	7,2 μm	2,4 μm
L	180 nm	180 nm
W/L	40	13,3

Fonte: Tabela produzida pelo autor.

Tabela 4.5: Dimensões dos transistores na porta AND CMOS.

	PMOS	NMOS
W	5,4 μm	1,80 μm
L	180 nm	180 nm
W/L	30	10

Fonte: Tabela produzida pelo autor.

na Figura 4.21, Q1 sobe para nível lógico 1 seguindo a borda de In1 e, no momento em que In2 apresenta a borda de subida, o *reset* entra em ação e Q1 e Q2 descem para nível lógico 0, sendo a largura do pulso de Q1 o atraso entre as entradas.

O PFD possui dois atrasos principais que afetam sua velocidade. O primeiro está relacionado às entradas In1 e In2 em relação às saídas Q1 e Q2. Por meio de simulações, esse atraso foi medido entre In1 e Q1, totalizando 220 ps quando In1 está adiantado em relação a In2. Repetindo o teste para In2 e Q2, o resultado foi de 200 ps quando In2 está adiantado em relação a In1. Os testes foram conduzidos a uma frequência de 40 MHz, com a tensão inicial em 0 V e a tensão máxima em 1,8 V.

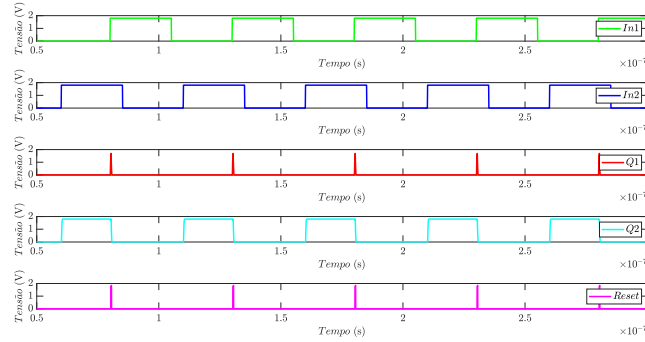
O mesmo experimento foi realizado a 60 MHz, com In2 adiantado. Os resultados indicaram um atraso de 199 ps para In2 e Q2, enquanto, com In1 adiantado, o atraso da entrada para a saída foi de 176 ps.

O segundo atraso relevante refere-se à diferença entre o instante da mudança de estado das saídas Q1 e Q2 e a ativação do pulso de *reset* do circuito. Isso inclui o tempo para a saída mudar como consequência do *reset*, que já é o resultado do atraso das saídas Q1 em relação ao *reset*. Observou-se um atraso de 123 ps quando In2 está adiantado em relação a In1, e no momento em que a entrada In1 está adiantada em relação a In2, a saída Q2 apresenta 137 ps de atraso, ambos para 40 MHz.

Para 60 MHz, quando In2 está adiantado em relação a In1, o atraso entre a saída Q1 e o *reset* é de 122 ps, enquanto para In1 adiantado em relação a In2,

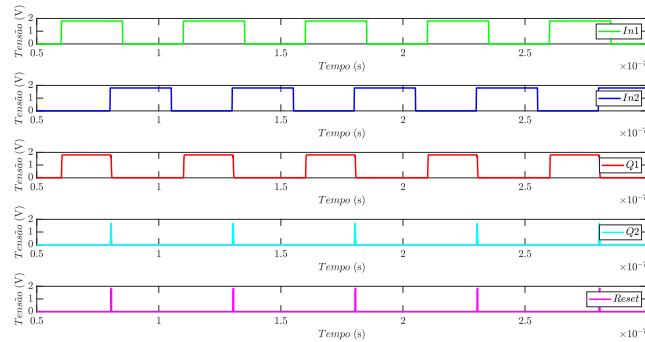
o atraso entre a saída Q2 e o *reset* é de 123 ps. Em todos os testes, aplicou-se a borda de subida referente a um pulso de 0 V a 1,8 V. A soma dos dois atrasos é significativamente menor do que o atraso do *injection locking*, sendo considerada adequada.

Figura 4.20: Comportamento do circuito PD com a entrada In2 avançada.



Fonte: Imagem produzida pelo autor.

Figura 4.21: Comportamento do circuito PD com a entrada In1 avançada.

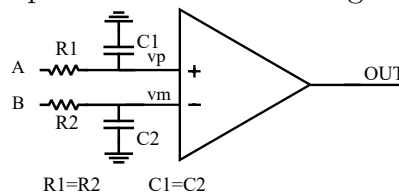


Fonte: Imagem produzida pelo autor.

4.4 Estágio comparador com *latch*, filtro e *buffer*

A etapa final do circuito consiste na combinação de um filtro e um comparador de 3 estágios com *latch* e um *buffer* de saída. A Figura 4.22 apresenta uma representação simplificada. Esse conjunto é encarregado de analisar as saídas do circuito PD, obedecendo à seguinte: se $V_A > V_B$, a saída da porta (out) será um nível lógico 1, ou seja, uma tensão igual a V_{DD} ; caso contrário, se $V_B > V_A$, a saída apresentará um nível lógico 0, ou V_{out} igual a 0.

Figura 4.22: Circuito simplificado do último estágio com filtro e comparador.



Fonte: Imagem produzida pelo autor.

O filtro utilizado à entrada do circuito foi um circuito RC de primeira ordem com $R_1 = R_2 = 1k \Omega$ e $C_1 = C_2 = 1 pF$, definido para melhorar a forma de diferenciar os sinais na entrada do comparador. O comparador utiliza três estágios. O primeiro estágio chamado de pré-amplificador diferencial com carga ativa e cujas entradas são $V_p(+)$ e $V_m(-)$, tem função de discriminar e aumentar o sinal de entrada para o próximo estágio. A tensão de polarização V_{bias} no circuito é utilizada para ajustar a corrente I_{SS} , que polariza os transistores do par diferencial de entrada. O MOSFET que recebe esta tensão tem razão de aspecto 10 : 1 e dimensões $W = 3,6 \mu m$ $L = 360 nm$. Foi utilizado um espelho de corrente simples para ajustar V_{bias} e garantir cerca de $40 \mu A$ para I_{SS} . O filtro utilizado é um circuito RC de primeira ordem, com $R_1 = R_2 = 1 k\Omega$ e $C_1 = C_2 = 1 pF$, projetado para aprimorar a diferenciação dos sinais na entrada do comparador. Observa-se que os sinais provenientes do detector de fase sempre serão pulsos na frequência do sinal BFSK, mesmo que contenham a informação da defasagem. Portanto, é necessário atenuar estes pulsos para gerar um sinal que impeça o comparador de chavear na mesma velocidade do FSK dentro de um período de bit, o que prejudicaria a diferenciação feita no primeiro estágio do comparador.

O primeiro estágio, denominado pré-amplificador diferencial com carga ativa, possui as entradas $V_p(+)$ e $V_m(-)$, e discriminar o sinal de entrada para o próximo estágio. A tensão de polarização V_{bias} no circuito ajusta a corrente I_{SS} , que polariza os transistores do par diferencial de entrada. O MOSFET que recebe essa tensão possui razão de aspecto 10 : 1 e dimensões $W = 360 \mu m$ e $L = 360 nm$. Um espelho

de corrente simples é utilizado para ajustar V_{bias} , assegurando aproximadamente $40 \mu\text{A}$ para I_{SS} .

A relação entre V_p , V_m , I_{op} , I_{om} e I_{SS} é definida pela Equação 4.16. Nessa equação, V_p e V_m representam as tensões aplicadas nas entradas do primeiro estágio, g_m é a transcondutância dos transistores ligados às portas V_p (+) e V_m (-), I_{SS} é a corrente de polarização, e I_{op} e I_{om} são as correntes de saída. O comportamento dessas correntes é determinado pela comparação nas entradas do amplificador: se $V_p > V_m$, I_{op} é positiva e I_{om} é negativa ($I_{op} = -I_{om}$) [26].

O segundo estágio do circuito consiste em um estágio de decisão *latch* formado pelos transistores M_{A-D} . Trata-se de um circuito com par cruzado e realimentação positiva. Além do conjunto de transistores do *latch* de decisão, inclui um MOSFET representado por N8, cuja função é elevar o nível DC da saída do circuito *latch* cruzado. N8 é o único MOSFET no circuito do segundo estágio com uma razão de aspecto diferente dos outros NMOS, possuindo dimensões $W = 24 \mu\text{m}$ e $L = 240 \text{ nm}$. O funcionamento do estágio 2 está relacionado às correntes do primeiro estágio, I_{op} e I_{om} .

Quando a corrente I_{op} é consideravelmente maior que I_{om} , por exemplo, os transistores MA e MB entram em operação, ao passo que MC e MD são desativados. As tensões nos ramos V_{op} e V_{om} , correspondentes às saídas do *latch*, são determinadas pelas Equações 4.17 e 4.18, respectivamente. Os parâmetros β dos transistores MA e MC são iguais a β_a , enquanto os de MB e MD são iguais a β_b .

As tensões de chaveamento, V_{sph} e V_{spl} , são limites que definem a transição de nível na saída do comparador, de acordo com as entradas.

Quando a saída está em nível alto e a entrada ultrapassa V_{sph} , a saída transiciona para o nível baixo. Retorna ao nível alto apenas quando a entrada atinge V_{spl} , o limite inferior. A tensão de chaveamento do circuito do nível alto para o nível baixo é dada pela Equação 4.15. A histerese, representada por $V_H = V_{sph} - V_{spl}$, é inexistente quando $V_H = 0$. Quando $\beta_a = \beta_b$, o chaveamento ocorre ao igualar as correntes I_{op} e I_{om} . Assim, as tensões V_p e V_m do primeiro estágio são iguais, resultando em $V_{sph} = 0$ e $V_H = 0$ [26][31].

$$V_{sph} = v_p - v_m \quad (4.15)$$

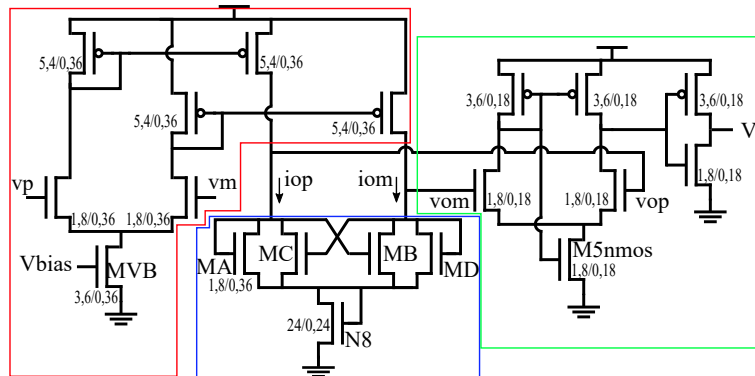
$$I_{op} = \frac{g_m}{2} (V_p - V_m) + \frac{I_{SS}}{2} = I_{SS} - I_{om} \quad (4.16)$$

$$V_{op} = \sqrt{\frac{2I_{op}}{\beta_a}} + V_t \quad (4.17)$$

$$V_{om} = \sqrt{\frac{2I_{om}}{\beta b}} + V_t \quad (4.18)$$

O terceiro estágio do comparador é um *buffer* de saída. Seu principal propósito é converter a saída do circuito de decisão em um nível lógico e ampliar a excursão do sinal proveniente do estágio 2. No circuito, há um inversor antes da saída geral do terceiro estágio, que tem a função de garantir a excursão de sinal com velocidade adequada e isola a saída do *buffer* diferencial. A corrente desse estágio é controlada pelo MOSFET M5nmos, com dimensões $W = 3,6 \mu m$ e $L = 360 \text{ nm}$. As razões de aspecto de todos os MOSFETs não nomeados presentes no circuito comparador com *latch* estão na Tabela 4.7. No primeiro estágio, os transistores possuem dimensões $W = 3,6 \mu m$ e $L = 360 \text{ nm}$. No segundo estágio, os transistores MA, MB, MC, MD são idênticos, com dimensões $W = 3,6 \mu m$ e $L = 360 \text{ nm}$, enquanto N8 possui $W = 3,6 \mu m$ e $L = 360 \text{ nm}$. A Figura 4.23 representa o circuito comparador completo, sem o espelho, com as dimensões W e L dos transistores em μm [26].

Figura 4.23: Circuito do comparador com laço e *buffer* de saída com dimensões W e L em μm .



Fonte: Imagem produzida pelo autor.

Tabela 4.6: Dimensões do primeiro estágio do comparador com *latch*.

	PMOS	NMOS
W	$5,4 \mu m$	$1,8 \mu m$
L	360 nm	360 nm
W/L	15	5

Fonte: Tabela produzida pelo autor.

Tabela 4.7: Dimensões do estágio 3 do comparador com *latch*.

	PMOS	NMOS
W	3,6 μm	1,8 μm
L	180 nm	180 nm
W/L	20	10

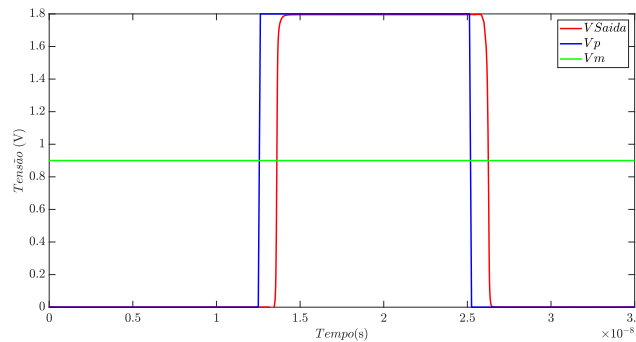
Fonte: Tabela produzida pelo autor.

Simulações pós-leiaute do Comparador

As simulações realizadas no comparador com *latch* foram conduzidas sem o filtro RC de primeira ordem para garantir o adequado funcionamento do circuito de decisão. No primeiro experimento, aplicou-se um pulso com amplitude de 1,8 V e nível DC de 0,9 V na entrada V_p , enquanto um sinal constante de 0,9 V foi utilizado para a entrada V_m . O objetivo desse experimento é verificar a correta operação do bloco nas condições básicas de chaveamento, isto é, $V_p > V_m$ ou $V_p < V_m$.

Os resultados da simulação no Cadence Virtuoso estão ilustrados na Figura 4.24, evidenciando o comportamento esperado na saída do comparador com *latch*. A saída assume um nível lógico alto (VDD) quando a entrada V_p é superior a V_m . Inversamente, o circuito apresenta um nível lógico baixo (0 V) na saída quando a situação se inverte. O atraso entre o sinal de entrada V_p e a resposta V_{saida} do comparador é aproximadamente 1,05 ns, utilizando a primeira borda de subida, tanto para V_p , quanto para V_{saida} , quando alcançam metade da excursão do sinal (0,9 V).

Figura 4.24: Comportamento da saída do comparador.

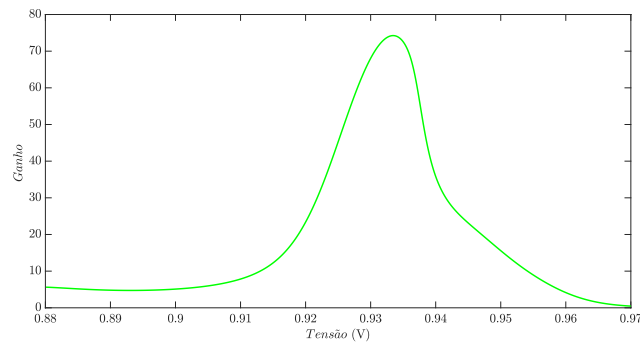


Fonte: Imagem produzida pelo autor.

A próxima simulação realiza uma varredura DC na entrada V_p , começando em 88 mV até 97 mV, com um passo de 100 μV , mantendo V_m fixo em 0,9 V. Essa simulação é repetida para V_p fixo e V_m variando. O objetivo dessas varreduras é visualizar o *offset* e o ganho do comparador, considerando a característica da entrada

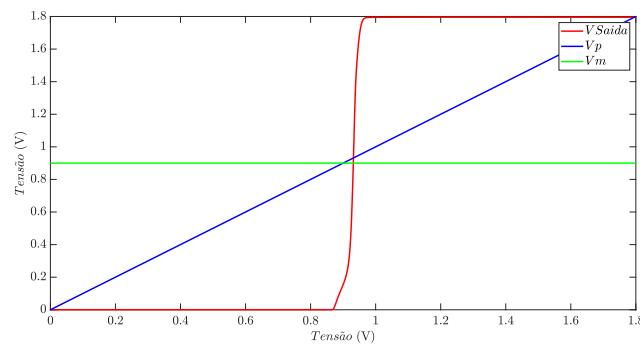
V_{in} em relação à saída V_{out} . O ganho é apresentado na Figura 4.25, indicando um valor de 74,234 V/V. As Figuras 4.26 e 4.27 mostram o comportamento transiente da saída em relação a V_p e V_m , respectivamente.

Figura 4.25: Curva de ganho do comparador em relação a tensão de entrada.

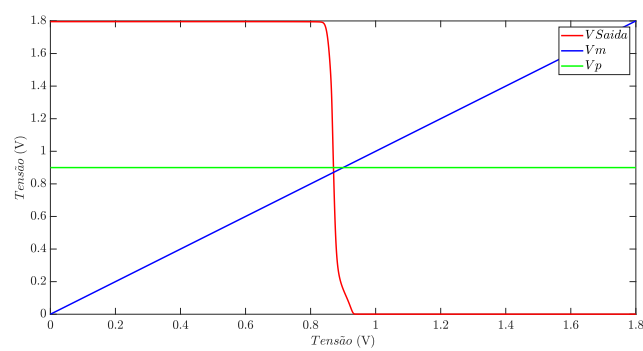


Fonte: Imagem produzida pelo autor.

Figura 4.26: Resposta transiente do comparador em relação à entrada V_p .



Fonte: Imagem produzida pelo autor.

Figura 4.27: Resposta transiente do comparador em relação à entrada V_m .

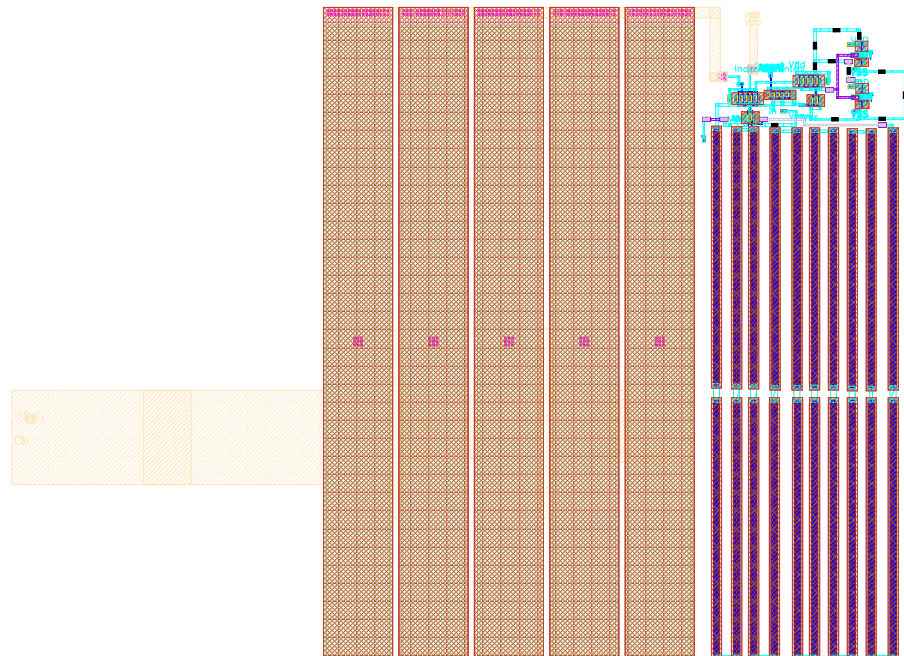
Fonte: Imagem produzida pelo autor.

4.5 Leiaute

Os leiautes dos blocos do circuito são apresentados separadamente nas Figuras 4.28 (amplificador de entrada e buffers de entrada), 4.29 (VCO e Circuito Auxiliar), 4.30 (detetor de fase e buffers associados) e 4.31 (filtro e comparador de três estágios). O circuito completo, excluindo os *pads*, possui dimensões de $230,4 \mu\text{m} \times 146,67 \mu\text{m}$, conforme mostrado na Figura 4.32. A conexão e integração dos circuitos devem considerar técnicas de proteção contra interferências nos blocos mais sensíveis, como o amplificador, causadas pelo chaveamento dos blocos digitais, como os *buffers* ou o PD.[26]

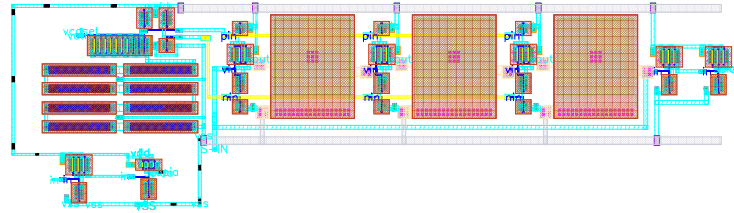
A primeira técnica envolveu a separação dos pinos de entrada e da alimentação de tensão do amplificador em relação à alimentação do restante do circuito. A segunda técnica adotada foi o *shielding*, que consiste no uso de um metal conectado ao aterramento do circuito integrado como escudo entre os metais de roteamento que se cruzam e conduzem sinais sensíveis. Essa prática reduz o acoplamento e as interferências entre os metais de roteamento. O resultado obtido foi um circuito com bom nível de resistência a interferências internas, garantindo a integridade dos sinais entre os estágios.[26]

Figura 4.28: Leiaute do amplificador de entrada e *buffers*.



Fonte: Imagem produzida pelo autor.

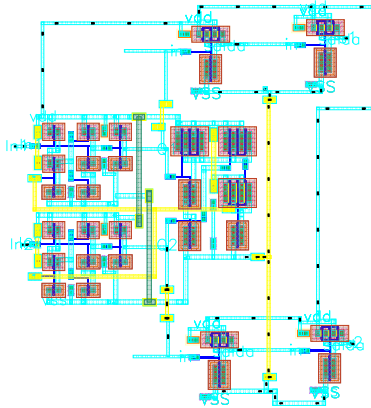
Figura 4.29: Leiaute do VCO e do circuito auxiliar.



Fonte: Imagem produzida pelo autor.

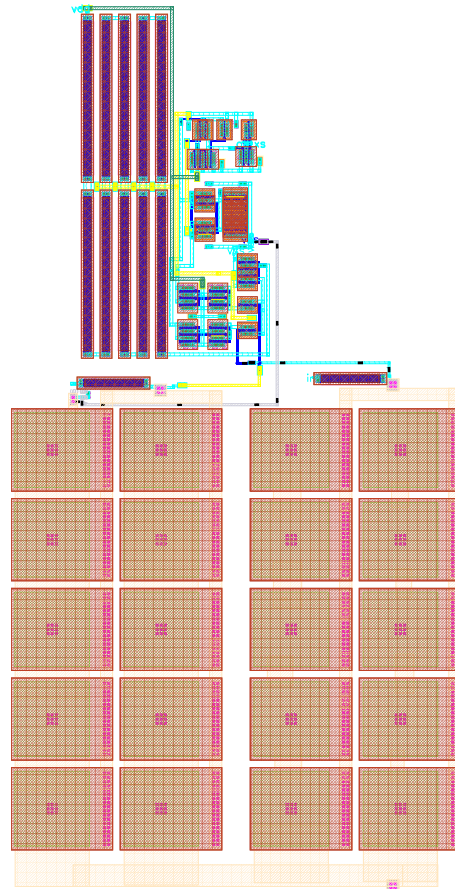
]

Figura 4.30: Leiaute do detetor de fase e dos buffers de saída das portas Q1 e Q2.



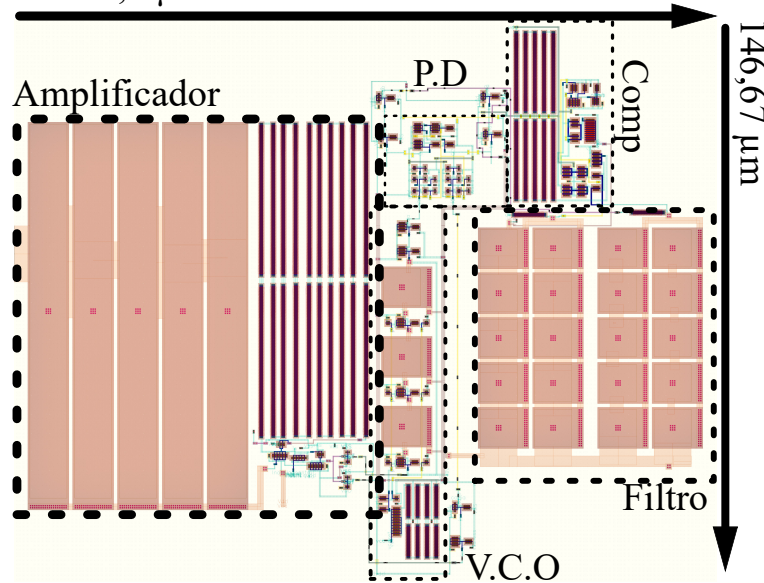
Fonte: Imagem produzida pelo autor.

Figura 4.31: Leiaute do filtro RC e do comparador.



Fonte: Imagem produzida pelo autor.

Figura 4.32: Leiaute do Receptor com circuitos destacados.
230,4 μm



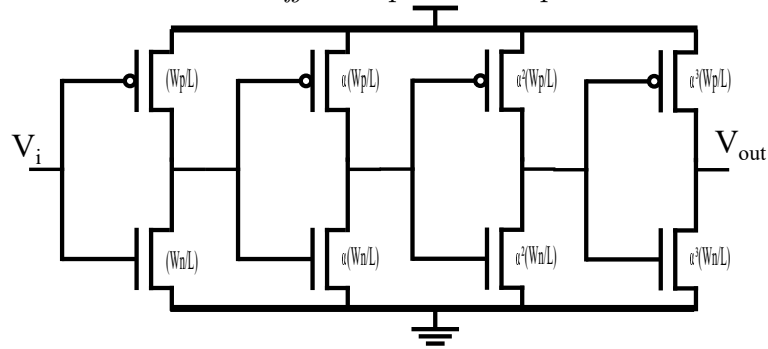
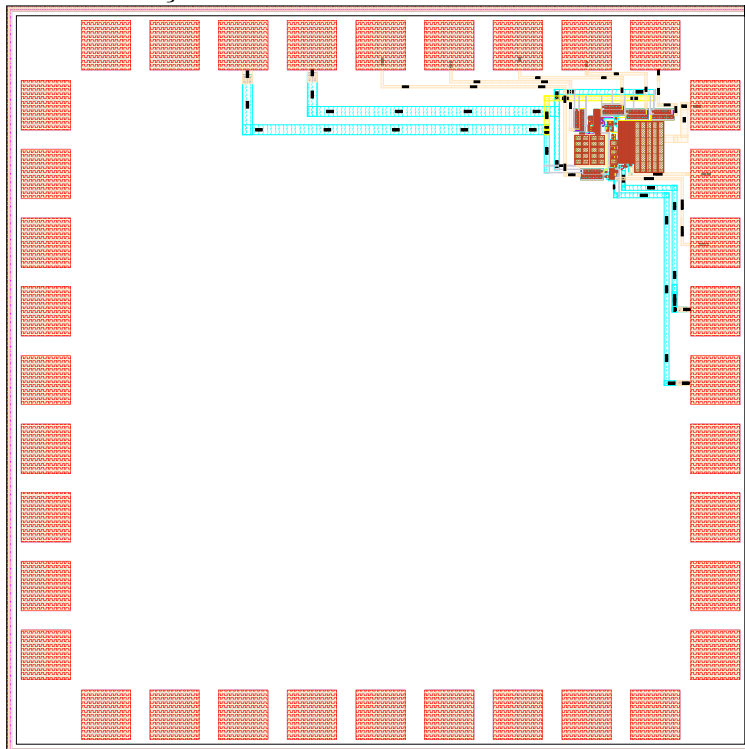
Fonte: Imagem produzida pelo autor.

O receptor foi equipado com *buffers* ou *drivers* baseados no circuito representado na Figura 4.33 [33], implementados para permitir medições nas saídas dos seguintes blocos: Amplificador de entrada, VCO, circuito auxiliar, detetor de fase e comparador. Essa topologia, conhecida como *exponential horn*, possui um ganho considerável; no entanto, sua banda de frequência é limitada. Mesmo assim, ela consegue alimentar cargas capacitivas elevadas no sistema de medição, preservando a excursão de sinal e minimizando o efeito do carregamento nos circuitos do receptor.

O circuito é constituído por uma sequência de inversores CMOS, onde as dimensões de W aumentam de forma exponencial, seguindo o fator $\alpha^{(N-1)}$. Esse fator representa a proporção de acréscimo nas dimensões e é calculado pela Equação 4.19, onde n é o número desejado de estágios, W_n é a dimensão mínima desejada para o primeiro inversor da cadeia e W_{\max} é a dimensão do último *buffer* da cadeia. Essas dimensões são definidas para alimentar a carga desejada. Os *buffers* utilizados no projeto possuem três estágios, com $W_{\min_n} = 500 \text{ nm}$ e $W_{\min_p} = 1,5 \mu\text{m}$, ambos para $L = 180 \text{ nm}$. Eles são projetados para uma carga de C_L igual a 20 pF.

$$\alpha = (W_{n,\max}/W_n)^{\frac{1}{(n-1)}} \quad (4.19)$$

A área total do chip é $1525 \mu\text{m} \times 1525 \mu\text{m}$, e os *pads* possuem dimensões de $100 \mu\text{m} \times 100 \mu\text{m}$. Desses, 12 *pads* são destinados ao circuito completo, conforme ilustrado na Figura 4.34.

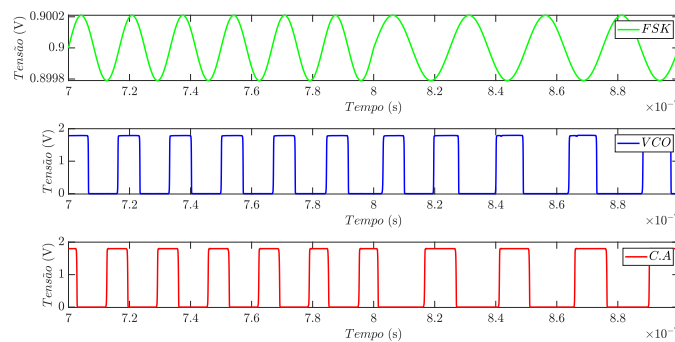
Figura 4.33: Circuito de *buffers* exponenciais para saídas de medição.Figura 4.34: Leiaute do circuito completo com *pads* e *buffers* de medição exponenciais para saídas de medição.

4.5.1 Integração do receptor

Os blocos descritos nas seções anteriores foram interconectados em leiaute, como indicado da seção 4.5, formando o receptor BFSK, e a extração pós-leiaute do receptor foi simulada com uma entrada FSK na ferramenta Cadence Virtuoso, utilizando frequências de 40 MHz e 60 MHz, amplitude de $210 \mu V$, e dc *offset*

configurado em 0,9 V, com tensão de alimentação de 1,8 V. Essas frequências foram alternadas a cada $5 \mu\text{s}$, resultando em uma taxa de transferência de 5 Mbps, assim sendo compatível com a taxa de transferência. A Figura 4.35 apresenta a entrada FSK e os resultados das saídas do VCO e do ramo de cópia, incluindo os *buffers* de saída. Observa-se que durante as mudanças de frequência no sinal FSK, ocorrem defasagens distintas entre as saídas do VCO e a saída do circuito de cópia do sinal e V (entrada).

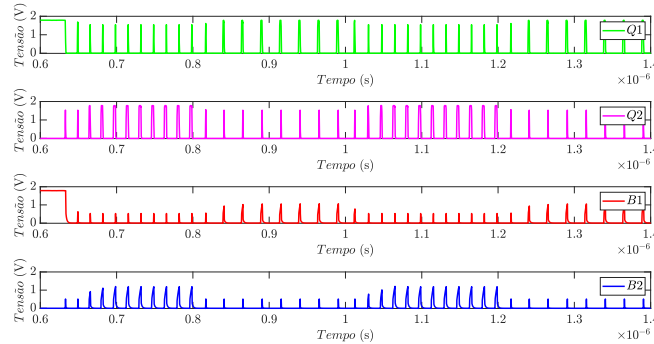
Figura 4.35: Sinais de entrada FSK e das saídas do VCO e do sinal cópia no momento da troca de frequência na entrada.



Fonte: Imagem produzida pelo autor.

A defasagem entre esses sinais é medida no PFD, gerando as saídas Q1 e Q2 que passam por *buffers* para aprimorar o sinal na entrada do filtro RC de primeira ordem para as entradas do comparador com *latch*. Os resultados desta etapa, para o mesmo intervalo de tempo da Figura 4.35, são apresentados na Figura 4.36, onde estão presentes as saídas do PFD antes e depois dos estágios *buffers*. É possível notar que as saídas de Q1 e Q2 mudam de acordo com a frequência de entrada e implicarão em comportamentos distintos para a saída do comparador.

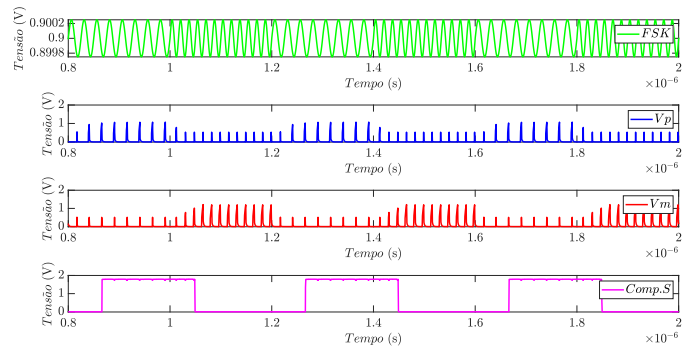
Figura 4.36: Sinais das saídas da conversão frequência-fase antes e depois da aplicação dos *buffers*.



Fonte: Imagem produzida pelo autor.

A Figura 4.37 apresenta a resposta do comparador que, de acordo com o sinal FSK recebido, exibe uma saída com nível lógico 1 quando a entrada possui sinal de tensão com frequência de 40 MHz e nível lógico 0 quando a frequência do sinal FSK é 60 MHz, como explicado nos capítulos anteriores. Isso indica que a demodulação está ocorrendo corretamente para as condições testadas. O circuito consome em média $1,6 \mu W$ durante a simulação com 1,8 V na alimentação.

Figura 4.37: Comparação entre o sinal FSK , as entradas do comparador e sua saída.



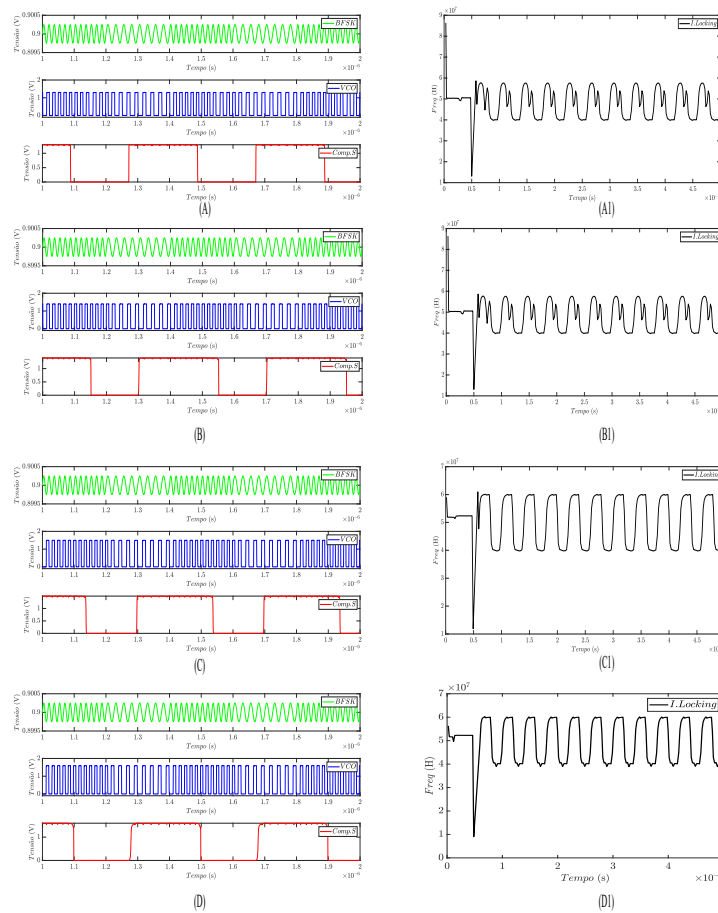
Fonte: Imagem produzida pelo autor.

Teste com variação na tensão de alimentação

O circuito foi submetido a simulações com variação de tensão de alimentação para verificar o funcionamento em condições adversas e a possibilidade de redução de consumo. A redução na tensão de alimentação do circuito foi possível ao aumentar

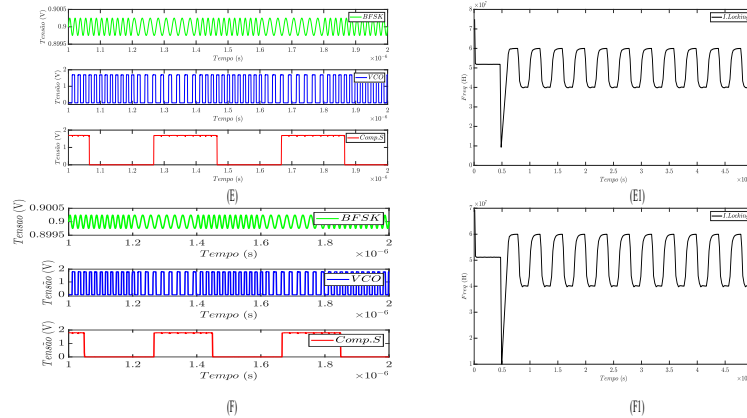
a amplitude no sinal de entrada para $250 \mu V$. Observou-se que o circuito pode operar eficientemente na faixa de 1,3 a 2 V, com pequenas perdas de simetria na saída do comparador. As Figuras 4.38 e 4.39 ilustram os resultados dessa variação no circuito, mostrando a resposta nas saídas do amplificador de entrada, do VCO e na saída do comparador à variação da frequência durante o efeito do *injection locking* no VCO, de acordo com as frequências do sinal BFSK injetado. A Tabela 4.8 apresenta o consumo médio em relação à tensão de alimentação, indicando uma redução de 26% entre 1,8 V e 1,3 V.

Figura 4.38: Curvas de funcionamento com tensão alimentação de 1,3 V(A) 1,4 V(B)-1,5 V(C) -1,6 V (D) e temperatura de $27^\circ C$.



Fonte: Imagem produzida pelo autor.

Figura 4.39: Curvas de funcionamento com tensão alimentação de 1,7 V(E)-1,8 V(F) e temperatura de 27° C.



Fonte: Imagem produzida pelo autor.

Tabela 4.8: Consumo em Watts por tensão de alimentação em Volts.

Potência consumida	Tensão de alimentação
409,4 μ	1,3 V
555,8 μ	1,4 V
740,7 μ	1,5 V
977,9 μ	1,6 V
1,266 m	1,7 V
1,575 m	1,8 V
1,969 m	1,9 V
2,467 m	2,0 V

Fonte: Tabela produzida pelo autor.

Teste com variação na taxa de transferência

Foram realizados testes com uma tensão de 1,8 V e temperatura de 27° C, variando a taxa de dados para avaliar o comportamento do circuito.

A Figura 4.40 ilustra o comportamento do receptor frente às modificações na taxa de transferência nas saídas dos seguintes blocos: Amplificador de entrada, VCO e Comparador. Observa-se que o consumo praticamente não varia com a taxa de dados, com o Amplificador de entrada possuindo o maior consumo 846,1 μ W cerca de 53,35 % do consumo total do receptor. A sigla (AMP) representa a saída do amplificador, (VCO) é a saída do VCO e (Comp.S) é a saída do receptor. O circuito

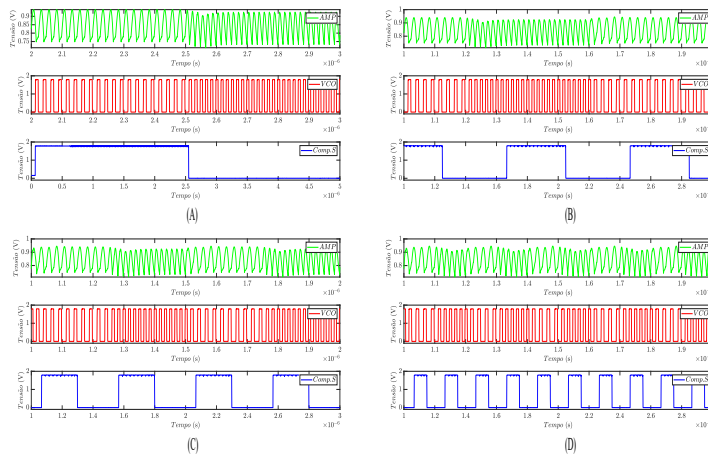
opera normalmente sem perda de simetria para as seguintes taxas de transferência: 0,4 Mbps, 2,5 Mbps, 4 Mbps e 5 Mbps. Entretanto, para a taxa de transferência de 10 Mbps, o circuito é capaz de indicar as mudanças na entrada BFSK, porém apresenta um baixo nível de simetria na saída, onde o tempo de nível lógico em 0 é mais longo do que o tempo de nível lógico 1. Isso indica a necessidade de ajustes no circuito para que possa executar a tarefa em ambiente simulado. A Tabela 4.9 apresenta o consumo no receptor conforme a taxa de transferência exigida.

Tabela 4.9: Comparação da potência consumida para diferentes taxas de transferência de dados.

Sub-figura	Potência consumida	Taxa de Transferência
A	1,612 mW	0,4 Mbps
B	1,593 mW	2,5 Mbps
C	1,578 mW	4,0 Mbps
-	1,575 mW	5,0 Mbps
D	1,533 mW	10* Mbps

Fonte: Tabela produzida pelo autor.

Figura 4.40: Curvas resultantes das variações da taxa de transferências.



Fonte: Imagem produzida pelo autor.

Teste com variação de tensão e de temperatura

Foram realizadas simulações em temperaturas de 0° C, 27° C e 50° C, utilizando diferentes tensões de alimentação para avaliar o comportamento do circuito.

Com o objetivo de testar o funcionamento do receptor em condições diferentes da temperatura ambiente, foi realizada uma varredura de V_{inj} , alcançando $150 \mu V$ para a temperatura de $0^\circ C$ e $300 - 500 \mu V$ para os testes a $50^\circ C$.

Os resultados estão apresentados na Tabela 4.10, em que (S) indica que o receptor emite os sinais esperados na saída, enquanto (NA) indica que o receptor não apresenta sinais funcionais na saída.

Esses resultados indicam que o circuito é capaz de operar a $0^\circ C$ para todas as tensões, mas apenas a partir de $1,7 V$ para $50^\circ C$. Exemplos das curvas do circuito para $0^\circ C$ e $50^\circ C$ são apresentados nas Figuras 4.41, 4.42 e 4.43.

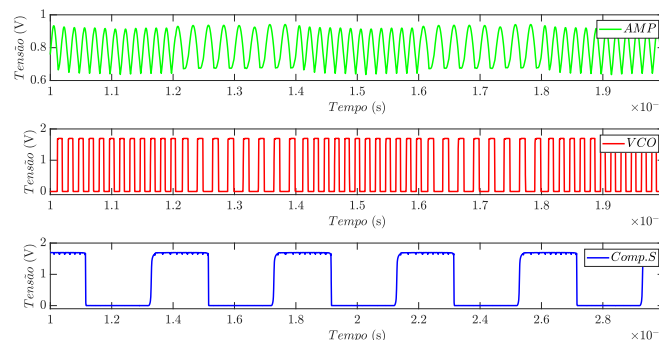
Tabela 4.10: Resumo do comportamento do circuito em função da tensão de alimentação e da temperatura de testes.

Tensão de alimentação/Temperatura em graus	$0^\circ C$	$27^\circ C$	$50^\circ C$
1,3 V	S	S	NA
1,4 V	S	S	NA
1,5 V	S	S	NA
1,6 V	S	S	NA
1,7 V	S	S	S
1,8 V	S	S	S

Fonte: Tabela produzida pelo autor.

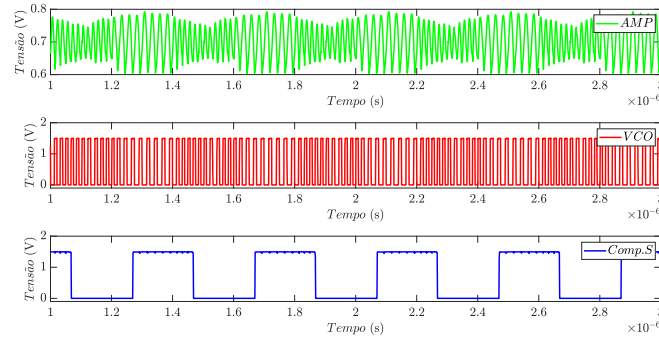
Onde: S = Circuito como esperado. NA = Não funcionou.

Figura 4.41: Exemplo de curva de saída para temperatura de $50^\circ C$ com tensão de alimentação de $1,7 V$.



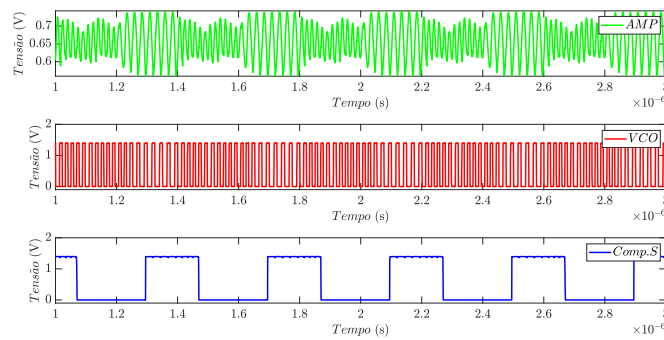
Fonte: Imagem produzida pelo autor.

Figura 4.42: Exemplo de curva das saídas para temperatura de 0° C e tensão de alimentação de 1,5 V.



Fonte: Imagem produzida pelo autor.

Figura 4.43: Exemplo de curva das saídas para temperatura de 0° C e tensão de alimentação de 1,4 V.



Fonte: Imagem produzida pelo autor.

Capítulo 5

Conclusão

Este trabalho de pesquisa teve como proposta o desenvolvimento de um receptor BFSK integrado com tecnologia CMOS de 180 nm, baseado na técnica *injection locking*. O método de comunicação utilizado foi o HBC capacitivo, que utiliza o corpo humano como meio de transporte do sinal. A metodologia de projeto consistiu no desenvolvimento e simulação separados dos blocos do circuito na ferramenta Cadence Virtuoso, utilizando a tecnologia CMOS UMC L180 Mixed-Mode/RF. Os blocos incluíram amplificador de entrada, VCO, PD, filtro de primeira ordem e comparador de três estágios. Em seguida, os blocos foram integrados para realizar novas simulações pós-leiaute, levando em consideração as extrações com capacitâncias e resistências parasitas, e realizando ajustes para obter o desempenho adequado em aplicações comuns, como monitoramento de sinais biológicos, sensores de movimento e segurança.

O receptor projetado mostrou-se promissor, com um amplificador de entrada capaz de operar com faixas de ganho na ordem de 10 a 50 dB, reguladas por tensões de controle de 0 a 1,5 V. Possui um VCO controlado por tensão, *current starved*, com ganho K_{vco} de 85,7 MHz/V e um ajuste aproximadamente linear entre 20 e 80 MHz. O PFD é consideravelmente rápido, conseguindo medir atrasos inferiores a 3 ns, e o comparador é composto por três estágios, com um ganho de 74,234 V/V. As dimensões alcançadas no leiaute do receptor foram 230,4 μm x 146,67 μm .

O receptor completo foi capaz de realizar a demodulação do sinal BFSK com uma taxa de transferência de 5 Mbps, apresentando um consumo de 1,575 mW ao operar com uma tensão de alimentação de 1,8 V e uma tensão injetada de 210 μV . Além disso, existe a possibilidade de alcançar um consumo abaixo de 1 mW quando utilizado em modos com tensão de alimentação inferior a 1,5 V e V_{inj} de 250 μV , o que representa um acréscimo de 40 μV em relação à especificação original do circuito, que é alimentado por 1,5 - 1,8 V. Isso resulta em uma redução do consumo

para 740,7 μW para tensão de alimentação de 1,5 V, o que corresponde a uma redução de aproximadamente 47 %, mantendo a taxa de transferência em 5 Mbps.

O circuito também demonstra capacidade de operar em condições adversas, como tensões de alimentação ligeiramente fora da faixa de operação do projeto ou temperaturas próximas de 0 e 50° C. No entanto, quando a tensão de alimentação é inferior a 1,5 V, o sinal de entrada baixo não permite o *injection locking*. Em vez disso, o circuito opera em um regime de *injection pulling*, no qual a frequência de travamento não alcança a frequência desejada, mas trava em uma frequência próxima, conforme ilustrado na Figura 4.39 (A1). De qualquer forma, o receptor projetado ainda é capaz de diferenciar corretamente as frequências de entrada do sinal FSK e realizar a demodulação.

Considerando os resultados obtidos e realizando uma comparação com outros circuitos, conforme apresentado na Tabela 5.1, o receptor demonstrou a terceira melhor eficiência energética. O projeto se destaca por sua contribuição principal: apontar um caminho mais simples e energeticamente eficiente para o design do receptor de dados em uma BAN, utilizando a técnica HBC.

O estudo realizado neste trabalho contribui para avançar o conhecimento sobre o projeto de receptores de baixo consumo para HBC com acoplamento capacitivo, apresenta uma rota promissora para a otimização do consumo de energia na recepção de sinais sem fio, com uma taxa de transferência adequada para aplicação em BAN (*Body Area Network*) em áreas médicas, de segurança ou de entretenimento.

Trabalho publicado: O trabalho desenvolvido foi apresentado em forma de artigo, aprovado e publicado no SBRT 2023 (XLI Simpósio Brasileiro de Telecomunicações e Processamento de Sinais) em 11 de outubro de 2023, no Parque Tecnológico São José dos Campos, no estado de São Paulo. O título do trabalho é "Receptor BFSK Integrado para HBC baseado na técnica de *Injection Locking*", de autoria de Maicon Pereira e Marinel Borges Almeida.

Tabela 5.1: Características dos receptores citados na introdução e do receptor proposto.

Referência	[15]	[34]	[16]	[20]	[13]	[19]	[17]	Este trabalho
Taxa de transferência (Mbps)	1	5	1,315-105	30	4	1	2	5
Consumo (mW)	1,79	2,33	5-9	0,098	0,16	1,4	1,68	0,74-1,58
Tecnologia (nm)	180	90	180	65	180	65	130	180
Frequência (MHz)	80	xxx	21-42-168	1-30	21	20-120	10-100	40-60
Modulação	DPFSK	NRZI	BPSK-QPFSK	NRZ	OOK	64p(OFDM)+FSK	FSK	BFSK
Eficiência energética (pJ/bit)	1790	466	3800-8571	3,27	40	1400	840	148-316

Fonte: Tabela produzida pelo autor.

Capítulo 6

Trabalhos futuros

As recomendações para trabalhos futuros são:

1. Realizar os testes com o circuito fabricado.
2. Explorar outros osciladores como o (*source-coupled RC oscillator*) possui maior eficiência energética.
3. Explorar uma outra tecnologia, como 90nm, para reduzir a tensão de alimentação resultando em redução de consumo.
4. Troca no Detector de fase (topologia Bang-Bang) maior eficiência energética quando comparado ao TSPC,

Referências

- [1] Dalal Hammood and Ahmed Alkhayyat. An overview of the survey/review studies in wireless body area network. In *2020 3rd International Conference on Engineering Technology and its Applications (IICETA)*, pages 18–23. IEEE, 2020.
- [2] Bahae Abidi, Abdelillah Jilbab, and El Haziti Mohamed. Wireless body area networks: a comprehensive survey. *Journal of Medical Engineering & Technology*, 44(3):97–107, 2020.
- [3] Min Chen, Sergio Gonzalez, Athanasios Vasilakos, Huasong Cao, and Victor Leung. Body area networks: A survey. *Mobile networks and applications*, 16(2):171–193, 2011.
- [4] Guillaume Tochou, Robin Benarrouch, David Gaidioz, Andreia Cathelin, Antoine Frappé, Andreas Kaiser, and Jan Rabaey. A sub-100- μ w 0.1-to-27-mb/s pulse-based digital transmitter for the human intranet in 28-nm fd-soi cmos. *IEEE Journal of Solid-State Circuits*, 57(5):1409–1420, 2022.
- [5] Rahat Ali Khan and Al-Sakib Khan Pathan. The state-of-the-art wireless body area sensor networks: A survey. *International Journal of Distributed Sensor Networks*, 14(4):1550147718768994, 2018.
- [6] Wei Liao, Koki Muramatsu, and Jianqing Wang. Path loss analysis and transceiver development for human body communication-based signal transmission for wearable robot control. *IEEE Access*, 9:20127–20135, 2021.
- [7] Oussama Haddad and Mohammad Ali Khalighi. Enabling communication technologies for medical wireless body-area networks. In *2019 Global LiFi Congress (GLC)*, pages 1–5. IEEE, 2019.
- [8] Jaeun Jang, Joonsung Bae, and Hoi-Jun Yoo. Understanding body channel communication: A review: From history to the future applications. In *2019 IEEE Custom Integrated Circuits Conference (CICC)*, pages 1–8. IEEE, 2019.
- [9] Jian Feng Zhao, Xi Mei Chen, Bo Dong Liang, and Qiu Xia Chen. A review on human body communication: Signal propagation model, communication performance, and experimental issues. *Wireless Communications and Mobile Computing*, 2017, 2017.

-
- [10] Adriano Vale-Cardoso, Mariana Moreira, Kristtopher Kayo Coelho, Alex Vieira, Aldri Santos, Michele Nogueira, and José Augusto M Nacif. A low-cost electronic system for human-body communication. *Electronics*, 9(11):1928, 2020.
- [11] Jiwoong Park and Patrick P Mercier. Magnetic human body communication. In *2015 37th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC)*, pages 1841–1844. IEEE, 2015.
- [12] Rajpreet K Gulati, Sayemul Islam, Amitangshu Pal, Krishna Kant, and Albert Kim. Characterization of magnetic communication through human body. In *2022 IEEE 19th Annual Consumer Communications & Networking Conference (CCNC)*, pages 563–568. IEEE, 2022.
- [13] Jian Zhao, Jingna Mao, Wenyu Sun, Yuxuan Huang, Yixiong Yang, Huazhong Yang, and Yongpan Liu. A 4-mbps 41-pj/bit on-off keying transceiver for body-channel communication with enhanced auto loss compensation technique. In *2019 IEEE Asian Solid-State Circuits Conference (A-SSCC)*, pages 173–176. IEEE, 2019.
- [14] Shahzad Muzaffar and Ibrahim M Elfadel. A self-synchronizing, low-power, low-complexity transceiver for body-coupled communication. In *2019 41st Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC)*, pages 4036–4039. IEEE, 2019.
- [15] Horng-Yuan Shih, Yu-Chuan Chang, Cheng-Wei Yang, and Chieh-Chih Chen. A low-power and small chip-area multi-rate human body communication dpfsk transceiver for wearable devices. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 67(7):1234–1238, 2019.
- [16] Jaeun Jang, Jihee Lee, Hyunwoo Cho, Jaehyuk Lee, and Hoi-Jun Yoo. Wireless body-area-network transceiver and low-power receiver with high application expandability. *IEEE Journal of Solid-State Circuits*, 55(10):2781–2789, 2020.
- [17] Maicon Deivid Pereira. *Contribuições às redes de comunicação pelo corpo humano: Modelagem de canal e projeto de um transceptor integrado*. PhD thesis, 2017.
- [18] Chao-Shiun Wang, Kun-Da Chu, and Chorng-Kuang Wang. A 0.13 μm cmos 2.5 gb/s fsk demodulator using injection-locked technique. In *2009 IEEE Radio Frequency Integrated Circuits Symposium*, pages 563–566. IEEE, 2009.
- [19] Wala Saadeh, Muhammad Awais Bin Altaf, Haneen Alsuradi, and Jerald Yoo. A pseudo ofdm with miniaturized fsk demodulation body-coupled communication transceiver for binaural hearing aids in 65 nm cmos. *IEEE Journal of Solid-State Circuits*, 52(3):757–768, 2017.

-
- [20] Shovan Maity, Baibhab Chatterjee, Gregory Chang, and Shreyas Sen. Bodywire: A 6.3-pj/b 30-mb/s- 30-db sir-tolerant broadband interference-robust human body communication transceiver using time domain interference rejection. *IEEE Journal of Solid-State Circuits*, 54(10):2892–2906, 2019.
- [21] Shovan Maity, David Yang, Baibhab Chatterjee, and Shreyas Sen. A sub-nw wake-up receiver for human body communication. In *2018 IEEE Biomedical Circuits and Systems Conference (BioCAS)*, pages 1–4. IEEE, 2018.
- [22] Erda Wen, Daniel F Sievenpiper, and Patrick P Mercier. Channel characterization of magnetic human body communication. *IEEE Transactions on Biomedical Engineering*, 69(2):569–579, 2021.
- [23] Adson Aves Fernandes. Rede equivalente a transistor mos com baixo limiar de saturação. Master’s thesis, 2019.
- [24] Behzad Razavi. *Fundamentals of microelectronics*. John Wiley, 2008.
- [25] Behzad Razavi and Razavi Behzad. *RF microelectronics*, volume 2. Prentice hall New York, 2012.
- [26] R Jacob Baker. *CMOS: circuit design, layout, and simulation*. John Wiley & Sons, 2019.
- [27] Joonsung Bae and Hoi-Jun Yoo. A 45 μw injection-locked fsk wake-up receiver with frequency-to-envelope conversion for crystal-less wireless body area network. *IEEE Journal of Solid-State Circuits*, 50(6):1351–1360, 2015.
- [28] Behzad Razavi. A study of injection locking and pulling in oscillators. *IEEE journal of solid-state circuits*, 39(9):1415–1424, 2004.
- [29] Duran Leblebici and Yusuf Leblebici. *Fundamentals of high-frequency CMOS analog integrated circuits*, volume 16. Springer, 2009.
- [30] Farzaneh Soleymani, Yasin Bastan, Parviz Amiri, and Mohammad Hossein Maghami. A 0.3–1.4 ghz inductorless cmos variable gain lna based on the inverter cell and self-forward-body-bias technique. *AEU-International Journal of Electronics and Communications*, 113:152974, 2020.
- [31] Behzad Razavi. *Design of analog CMOS integrated circuits*. Tsinghua University Press Co., Ltd., 2005.
- [32] Behzad Mesgarzadeh and Atila Alvandpour. A study of injection locking in ring oscillators. In *2005 IEEE International Symposium on Circuits and Systems*, pages 5465–5468. IEEE, 2005.

-
- [33] Tomoaki Maekawa, Shuhei Amakawa, Noboru Ishihara, and Kazuya Masu. Design of cmos inverter-based output buffers adapting the cherry-hooper broadbanding technique. In *2009 European Conference on Circuit Theory and Design*, pages 511–514, 2009.
- [34] Ching-Che Chung and Yi-Ting Tsai. A body channel communication transceiver with a 16x oversampling cdr and convolutional codes. In *2022 International Symposium on VLSI Design, Automation and Test (VLSI-DAT)*, pages 1–4. IEEE, 2022.